

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-177050

(P2001-177050A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 25/065		H 0 1 L 21/60	3 0 1 A 5 F 0 4 4
25/07			3 0 1 N
25/18		25/08	Z
21/60	3 0 1	23/12	L

審査請求 有 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平11-360939

(22) 出願日 平成11年12月20日 (1999. 12. 20)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高野 将

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100095740

弁理士 開口 宗昭

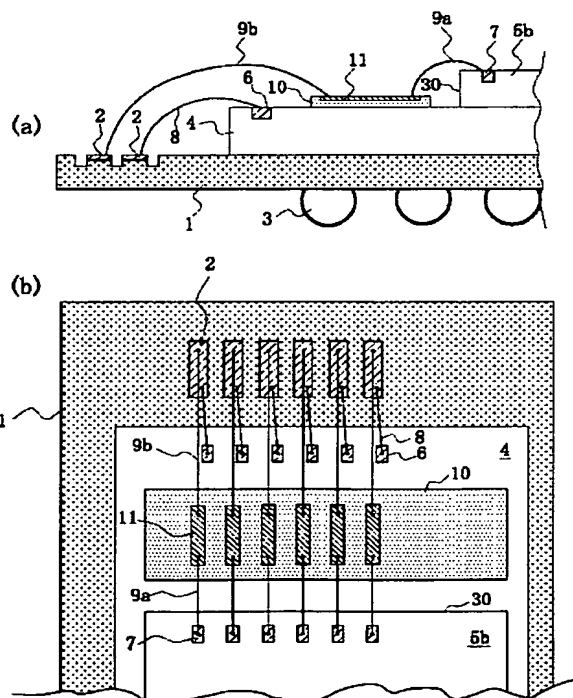
F ターム (参考) 5F044 AA02 AA10 AA12 AA19 AA20
EED2 HH00

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 配線板上に複数の半導体チップを積み重ねて搭載する場合に、撓んだボンディングワイヤが他のボンディングワイヤや半導体チップ4に接触し電氣的にショートを起こすこと等を回避して、組立可能な半導体チップの組み合わせを多様にし、汎用の半導体チップを適用して様々な需要に低コストで応えることのできる半導体装置を提供する。

【解決手段】 中継手段たる導電部材11が形成された絶縁テープ材10が第一の半導体チップ4の主面上に貼付される。電極パッド7と導電部材11との間にボンディングワイヤ9aが接続され、導電部材11と配線電極部2との間にボンディングワイヤ9bが接続される。したがって、導電部材11によってボンディングワイヤが中継され、2本のボンディングワイヤ9a、9b及び銅箔等からなる導電部材11によって第二の半導体チップ5bのワイヤボンディングが可能になる。



(2)

1

【特許請求の範囲】

【請求項 1】 配線板と、前記配線板に搭載されてワイヤボンディングされる第一の半導体チップと、第一の半導体チップの主面上に積み重ねられてワイヤボンディングされる第二の半導体チップとを備える半導体装置において、第一の半導体チップの前記主面上に絶縁部材を介して第一の半導体チップと絶縁された導電部材が設置され、前記導電部材は、第一の半導体チップの電極と第二の半導体チップの電極との間に延在する第二の半導体チップの外縁と、前記第一の半導体チップの電極との間に配置され、2以上のボンディングワイヤが接合可能にされてなることを特徴とする半導体装置。

【請求項 2】 配線板と、前記配線板に搭載されてワイヤボンディングされる第一の半導体チップと、第一の半導体チップの主面上に積み重ねられてワイヤボンディングされる第二の半導体チップとを備える半導体装置において、第一の半導体チップの前記主面に絶縁層を介して第一の半導体チップの他の構成物と絶縁された導電部材が形成され、前記導電部材は、第一の半導体チップの電極と第二の半導体チップの電極との間に延在する第二の半導体チップの外縁と、前記第一の半導体チップの電極との間に配置され、2以上のボンディングワイヤが接合可能にされてなることを特徴とする半導体装置に記載の半導体装置。

【請求項 3】 前記絶縁部材をテープ材とすることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 第一の半導体チップの電極に接合されるボンディングワイヤの前記配線板への投影と前記導電部材から第一の半導体チップの電極側へ延設されるボンディングワイヤの前記配線板への投影とが所定間隔で乖離するか又は一の共有点を有するように、前記導電部材から第一の半導体チップの電極側へ延設されるボンディングワイヤと前記導電部材との接合点が配置されてなることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載の半導体装置。

【請求項 5】 前記導電部材から第一の半導体チップの電極側へ延設されるボンディングワイヤと前記導電部材との接合点が、前記延設の方向に見て、第一の半導体チップの互いに隣接する 2 つの電極のボンディングワイヤ接合点の間に位置することを特徴とする請求項 1、請求項 2 又は請求項 3 に記載の半導体装置。

【請求項 6】 前記導電部材のうちの導電部材が前記配線板に備えられた一定の配列方向を持つ配線電極部群のうちの配線電極部に電気的に接続され、前記導電部材から第一の半導体チップの電極側へ延設されるボンディングワイヤと前記導電部材との接合点の位置が、前記導電部材から第二の半導体チップ側へ延設されるボンディングワイヤと前記導電部材との接合点に対して、前記配列方向であって前記一の配線電極部に近づく方向に変位していることを特徴とする請求項 1 から請求項 5 のう

2

ちいずれかに記載の半導体装置。

【請求項 7】 前記一の導電部材を少なくとも 1 つ含む 2 つの導電部材が前記配線電極部群のうちの各一の配線電極部にそれぞれ電気的に接続され、前記 2 つの導電部材からそれぞれ第二の半導体チップ側へ延設されるボンディングワイヤと前記 2 つの導電部材との各接合点の互いの位置関係と、前記 2 つの導電部材からそれぞれ第一の半導体チップの電極側へ延設されるボンディングワイヤと前記 2 つの導電部材との各接合点の互いの位置関係とが、前記配列方向について逆であることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記 2 つの導電部材を第二の絶縁部材を介して立体交差させてなることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記一の導電部材を少なくとも 1 つ含む複数の導電部材が前記配線電極部群のうちの各一の配線電極部にそれぞれ電気的に接続され、前記複数の導電部材からそれぞれ第二の半導体チップ側へ延設されるボンディングワイヤと前記複数の導電部材との各接合点の配列ピッチより、前記複数の導電部材からそれぞれ第一の半導体チップの電極側へ延設されるボンディングワイヤと前記複数の導電部材との各接合点の配列ピッチの方が、前記配線電極部群の配列ピッチに整合していることを特徴とする請求項 6 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、2以上の半導体チップを積み重ねて配線板に搭載するMCM (multi chip module) やstackedMCP (multi chip package) に関するものである。本発明は、そのワイヤボンディング接続関連の改良に属する。

【0002】

【従来の技術】現在、MCM、MCPは、実装面積の小面積化（実装の高密度化）を促進する技術として注目されている。また、MCM、MCPは、汎用チップを複数組み合わせることによって、低コストにユーザの要求性能に応じることができる点で優れている。その反面、異なる仕様の半導体チップを組み合わせるため、実装技術には課題とすべき問題点が少なくない。かかる問題点として以下に説明するような問題がある。

【0003】図6に従来のstackedMCPの一例として、BGA (ball grid array) 型の半導体装置101、102を示す。従来の半導体装置101は、図6(a)に示すように、基板1上に矩形状の第一の半導体チップ4がダイボンディングされ、さらに、第一の半導体チップ4の主面上に矩形状の第二の半導体チップ5aが積み重ねられてダイボンディングされている。このとき、第二の半導体チップ5aは、第一の半導体チップ4の主面上の縁部に形成された電極パッド6を含む一定の領域を除く第一の半導体チップ4の主面上の領域に接合してお

(3)

3

り、電極パッド6を含む一定の領域が露出している。第二の半導体チップ5aもワイヤボンディング用の電極パッド7を少なくとも2辺の縁部に有する。電極パッド6、7はそれぞれ基板1上に形成された配線の電極部たる配線電極部2にボンディングワイヤ8、9によって電氣的に接続される。配線電極部2は、基板1上に形成された配線及び、基板1内に形成された多層配線層によって外部端子たる半田ボール3と導通している。

【0004】一方、従来の半導体装置102は、図6

(b)に示すように、半導体装置101と同様にボンディングワイヤ8、9により内部接続されているが、第二の半導体チップ5bが第一の半導体チップ4の縁から必要以上かつワイヤボンディングの許容限度を超えて遠のいている点で異なる。すなわち、第一の半導体チップ4をワイヤボンディング可能にするために必要な電極パッド6を含む一定の領域以上の領域をあげ、さらにワイヤボンディングの許容限度を超えて第二の半導体チップ5bの電極パッド7が配線電極部2から遠距離に配置されている。このような状態は、図上左右方向の寸法が第一の半導体チップ4よりも第二の半導体チップ5bの方が極端に短い場合に生じ得る。

【0005】

【発明が解決しようとする課題】以上のように、半導体装置102においては、電極パッド7から配線電極部2までの距離が長くなる。ゆえに、ボンディングワイヤ9の長さも長くなるので、ボンディングワイヤ9が撓みやすくなり、撓んだボンディングワイヤ9がボンディングワイヤ8や第一の半導体チップ4に接触し電氣的にショートしてしまうという問題が起こる。ボンディングワイヤがショートしてしまうと欠陥品となるため、上述のようにワイヤボンディングの許容限度を超えて第二の半導体チップ5bの電極パッド7が配線電極部2から遠距離になってしまうような2以上の半導体チップを組み合わせた半導体装置は、ワイヤボンディング技術によっては事実上組み立てることができないという問題が生じる。一方、ワイヤ間ショートやワイヤチップ間のショートを回避するために、ボンディングワイヤのループの高さを高くすることも可能である。しかし、そのようにする場合、パッケージの高さ(厚さ)が高くなり、携帯電話のように薄型化された製品には実装できなくなるという問題がある。従来技術においては、かかる問題を解決するために第一の半導体チップのサイズに合わせて第二の半導体チップのチップサイズを大きくしていたが、これは、下側となる半導体チップとの組み合わせ毎に特別にチップレイアウトを変更してチップサイズを設計しなければならない点で不利であり生産性の向上を鈍らせていた。なお、図6では、左半分の断面のみを示しているが、半導体チップ上の電極パッドは相対する外縁部に形成されることが多いため、片側の電極パッドが配線電極部に近づくように第二の半導体チップ5bを配置して

4

も、これとは反対側の電極パッドは配線電極部から遠ざかってしまうこととなる。

【0006】また、図示しないが、異なる仕様の半導体チップを組み合わせるため、上下に積層配置される半導体チップの組み合わせによっては、上側となる第二の半導体チップ5bの電極パッド7に対応する配線電極部2の位置が整然とせず、2以上のボンディングワイヤ9を互いに交差せざるを得ない場合や、下側となる第一の半導体チップ4の接続のためのボンディングワイヤ8と、上側となる第二の半導体チップ5bの接続のためのボンディングワイヤ9とが、上から見た場合に重合してしまい、ワイヤボンディング接続の外観検査を困難にさせる場合、さらに、下側となる第一の半導体チップ4の電極パッド6のピッチと上側となる第二の半導体チップ5bの電極パッド7のピッチとが整合しない場合などが生じる。これらの物理的制約によって、半導体装置の組立を困難又は不可能にさせたり、ワイヤボンディング接続の信頼性維持に支障を来すという問題がある。

【0007】本発明は以上の従来技術における問題に鑑みてなされたものであって、配線板上に複数の半導体チップを積み重ねて搭載する場合に、組立可能な半導体チップの組み合わせを多様にすることができ、汎用の半導体チップを適用して様々な需要に低コストで応えることのできる半導体装置を提供することを課題とする。

【0008】

【課題を解決するための手段】前記課題を解決する本出願第1の発明は、配線板と、前記配線板に搭載されてワイヤボンディングされる第一の半導体チップと、第一の半導体チップの主面上に積み重ねられてワイヤボンディングされる第二の半導体チップとを備える半導体装置において、第一の半導体チップの前記主面上に絶縁部材を介して第一の半導体チップと絶縁された導電部材が設置され、前記導電部材は、第一の半導体チップの電極と第二の半導体チップの電極との間に延在する第二の半導体チップの外縁と、前記第一の半導体チップの電極との間に配置され、2以上のボンディングワイヤが接合可能にされてなることを特徴とする半導体装置である。

【0009】ここで、配線板に搭載された第一の半導体チップは、配線板に直接接合される半導体チップに限らず、他の半導体チップなどの上に積み重ねられて配線板に搭載される半導体チップも該当する。すなわち本発明は3以上の半導体チップが配線板上に積み重ねられて構成される半導体装置にも適用可能である。したがって本出願第1の発明の半導体装置によれば、第二の半導体チップ又は第二の半導体チップよりさらに上に積み重ねられる半導体チップ(以下、上チップという。)の電極と前記配線板の配線電極部とをボンディングワイヤにより電氣的に接続する際に、上チップの電極と第一の半導体チップの主面上に設置された導電部材の一点とを一のボンディングワイヤにより電氣的に接続し、さらに前記導

(4)

5

電部材の他の一点に他のボンディングワイヤを電氣的に接合することにより、上チップの電極と配線板の配線電極とを電氣的に接続するボンディングワイヤが分割され、それぞれのボンディングワイヤを、一本のボンディングワイヤによりボンディングする場合より短くすることができる。このように上チップの内部配線のためのボンディングワイヤを短くすることができるので、ボンディングワイヤの撓みを抑えることができ、撓んだボンディングワイヤが他のボンディングワイヤや半導体チップに接触し電氣的にショートしてしまうという問題の発生を抑えることができるという利点がある。すなわち、前記導電部材はボンディングワイヤの中継手段となる。多数の半導体チップが積み重ねられている場合に、ボンディングワイヤを2以上の中継手段を介して3以上に分割し配線板の配線電極部に導くことは、必要に応じて行えばよい。したがって導電部材の前記他の一点に接合されたボンディングワイヤの他端が配線板の配線電極部に直接接続されることは要件ではなく、さらに中継を1回以上繰り返した後、接続される構成も有効である。以上のことにより、本出願第1の発明の半導体装置によれば、物理的な制約によりチップ電極が配線板の配線電極部から遠距離になってしまうような上チップを、そのチップサイズを設計変更することなくMCM、MCPに組み込むことができる。ゆえに、配線板上に複数の半導体チップを積み重ねて搭載する場合に、組立可能な半導体チップの組み合わせを多様にすることができ、汎用の半導体チップを適用して様々な需要に低コストで応えることのできる半導体装置を提供することができるという利点がある。なお、前記導電部材は、中継が必要な上チップの電極の数に応じた数だけ設けられる。

【0010】また本出願第2の発明は、配線板と、前記配線板に搭載されてワイヤボンディングされる第一の半導体チップと、第一の半導体チップの主面上に積み重ねられてワイヤボンディングされる第二の半導体チップとを備える半導体装置において、第一の半導体チップの前記主面に絶縁層を介して第一の半導体チップの他の構成物と絶縁された導電部材が形成され、前記導電部材は、第一の半導体チップの電極と第二の半導体チップの電極との間に延在する第二の半導体チップの外縁と、前記第一の半導体チップの電極との間に配置され、2以上のボンディングワイヤが接合可能にされてなることを特徴とする半導体装置である。

【0011】したがって本出願第2の発明の半導体装置によれば、本出願第1の発明の利点があるとともに、第一の半導体チップの主面に導電部材が形成される構成を採用するので、半導体のパターン形成プロセスを利用することにより、前記導電部材及び前記絶縁層を形成することができる。ゆえに、本発明を適用するにあたっての工数及び資材の増加負担を極めて小さく抑えることができるという利点がある。ただし、本出願第2の発明の半

6

導体装置によれば、第一の半導体チップの設計段階から、第一の半導体チップの上にどのような上チップが積み重ねられるかを考慮する必要がある点や、このような導電部材が形成された第一の半導体チップを多種多様な上チップと組み合わせ可能にすることは簡単ではない点が難点となる。次に、かかる難点を払拭可能な技術として、本出願第3の発明の半導体装置を開示する。

【0012】すなわち本出願第3の発明は、本出願第1の発明の半導体装置において、前記絶縁部材をテープ材とすることを特徴とする。

【0013】したがって本出願第3の発明の半導体装置によれば、銅箔等を前記導電部材として絶縁テープ材上にパターン形成し、かかるテープ材を第一の半導体チップの前記主面上に貼付することにより、本出願第1の発明の利点が得られる。それとともに、上下に積層配置される半導体チップの組み合わせが決定した後に、かかる特定の組み合わせ毎に、テープを設計することで、第一の半導体チップの設計段階から、第一の半導体チップの上にどのような上チップが積み重ねられるかを考慮する必要がなく、多種多様な組み合わせの半導体チップをワイヤボンディング可能にする。また、テープ材という極薄部材を選択したことにより、ワイヤボンディング接続時に、キャピラリツール、ウェッジツール等のワイヤボンディングツールの先端が前記絶縁部材や前記導電部材に接触する可能性を抑えることができる。言い換えれば、ワイヤボンディングツールの先端が前記絶縁部材や前記導電部材に接触することを防止するためにとるべきマージンを小さくすることができる。前記絶縁部材はテープ材に限られないが、あまり肉厚な部材を選択するとかかるマージンを大きくとらなければならない。以上のことにより、配線板上に複数の半導体チップを積み重ねて搭載する場合に、組立可能な半導体チップの組み合わせを多様にすることができ、汎用の半導体チップをいかなる設計変更も施すことなく、適用して様々な需要に低コストで応えることのできる半導体装置を提供することができるという利点がある。

【0014】また本出願第4の発明は、本出願第1の発明、本出願第2の発明又は本出願第3の発明の半導体装置において、第一の半導体チップの電極に接合されるボンディングワイヤの前記配線板への投影と前記導電部材から第一の半導体チップの電極側へ延設されるボンディングワイヤの前記配線板への投影とが所定間隔で乖離するか又は一の共有点を有するように、前記導電部材から第一の半導体チップの電極側へ延設されるボンディングワイヤと前記導電部材との接合点が配置されてなることを特徴とする。

【0015】したがって本出願第4の発明の半導体装置によれば、下側となる第一の半導体チップの接続のためのボンディングワイヤと、上側となる第二の半導体チップの接続のためのボンディングワイヤとが、上から見た

(5)

7

場合に重合することがなく、ワイヤボンディング接続の外観検査を容易に行うことができるという利点がある。なお、所定間隔で乖離する場合は、2つのボンディングワイヤの前記配線板への投影である2つの線分が共有点を持たない場合をいい、一の共有点を有する場合とは、かかる2の線分が平行でなく、1点で交わる場合をいう。

【0016】また本出願第5の発明は、本出願第1の発明、本出願第2の発明又は本出願第3の発明の半導体装置において、前記導電部材から第一の半導体チップの電極側へ延設されるボンディングワイヤと前記導電部材との接合点が、前記延設の方向に見て、第一の半導体チップの互いに隣接する2つの電極のボンディングワイヤ接合点の間に位置することを特徴とする。

【0017】したがって本出願第5の発明の半導体装置によれば、下側となる第一の半導体チップの接続のためのボンディングワイヤと、上側となる第二の半導体チップの接続のためのボンディングワイヤとが、上から見た場合に重合することがなく、ワイヤボンディング接続の外観検査を容易に行うことができるという利点がある。

【0018】また本出願第6の発明は、本出願第1の発明から本出願第5の発明のうちいずれかの発明の半導体装置において、前記導電部材のうち一の導電部材が前記配線板に備えられた一定の配列方向を持つ配線電極部群のうち一の配線電極部に電氣的に接続され、前記導電部材から第一の半導体チップの電極側へ延設されるボンディングワイヤと前記導電部材との接合点の位置が、前記導電部材から第二の半導体チップ側へ延設されるボンディングワイヤと前記導電部材との接合点に対して、前記配列方向であって前記一の配線電極部に近づく方向に変位していることを特徴とする。

【0019】前記導電部材から第二の半導体チップ側へ延設されるボンディングワイヤには、上チップの電極又は上チップ上に設置（形成を含む）された中継手段たる導電部材と前記導電部材とを電氣的に接続するボンディングワイヤが該当する。したがって本出願第6の発明の半導体装置によれば、上チップから配線板に備えられた配線電極部までの配線が、前記導電部材によって中継されるとともに、その配線経路がこの導電部材によって配線電極部群の配列方向であって前記一の配線電極部に近づく方向に変位するので、各ボンディングワイヤを短くすることができ、配線板の配線電極部へのワイヤボンディングを可能にし、ワイヤボンディングの作業性・信頼性を向上させることができるという利点があり、これにより組立可能な半導体チップの組み合わせをさらに多様にすることができるという利点がある。

【0020】また本出願第7の発明は、本出願第6の発明の半導体装置において、前記一の導電部材を少なくとも1つ含む2つの導電部材が前記配線電極部群のうちの各一の配線電極部にそれぞれ電氣的に接続され、前記2

8

つの導電部材からそれぞれ第二の半導体チップ側へ延設されるボンディングワイヤと前記2つの導電部材との各接合点の互いの位置関係と、前記2つの導電部材からそれぞれ第一の半導体チップの電極側へ延設されるボンディングワイヤと前記2つの導電部材との各接合点の互いの位置関係とが、前記配列方向について逆であることを特徴とする。

【0021】前記（本出願第6の発明に記載の）一の導電部材を少なくとも1つ含むとしているのは、2つの導電部材のうち少なくとも1つの導電部材について、第一の半導体チップの電極側へ延設されるボンディングワイヤとの接合点の位置が、第二の半導体チップ側へ延設されるボンディングワイヤとの接合点に対して、前記配列方向であって前記一の配線電極部に近づく方向に変位しているということが要件となるからである。したがって、上チップの一の電極から配線板の一の配線電極部への直線経路と、上チップの他の電極から配線板の他の配線電極部への直線経路とが交差する場合に、本出願第7の発明の半導体装置を適用することにより、中継手段たる前記導電部材によって、かかる交差（クロスボンディング）を回避することができ、上チップのワイヤボンディングを可能にするという利点があり、これにより組立可能な半導体チップの組み合わせをさらに多様にすることができるという利点がある。「2つの導電部材が前記配線電極部群のうちの各一の配線電極部にそれぞれ電氣的に接続され、」とは、2つの導電部材のうち一の導電部材が配線板に備えられた一定の配列方向を持つ配線電極部群のうち一の配線電極部に電氣的に接続され、かつ、2つの導電部材のうち他の導電部材が同一の配線電極部群のうち一の配線電極部に電氣的に接続されるということである。「前記配列方向」とは、配線電極部群の配列方向をいう。「前記2つの導電部材からそれぞれ第二の半導体チップ側へ延設されるボンディングワイヤと前記2つの導電部材との各接合点の互いの位置関係と、前記2つの導電部材からそれぞれ第一の半導体チップの電極側へ延設されるボンディングワイヤと前記2つの導電部材との各接合点の互いの位置関係とが、前記配列方向について逆である」とは、2つの導電部材のうち一の導電部材から第二の半導体チップ側へ延設されるボンディングワイヤとこの一の導電部材との接合点を点S1とし、この一の導電部材から第一の半導体チップの電極側へ延設されるボンディングワイヤとこの一の導電部材との接合点を点G1とし、2つの導電部材のうち他の導電部材から第二の半導体チップ側へ延設されるボンディングワイヤとこの他の導電部材との接合点を点S2とし、この他の導電部材から第一の半導体チップの電極側へ延設されるボンディングワイヤとこの他の導電部材との接合点を点G2とするとき、点S1を始点とし、点S2を終点とするベクトルの配線電極部群の配列方向の成分と、点G1を始点とし、点G2を終点とするベクトルの

9

配線電極部群の配列方向の成分とが逆方向であることをいう。

【0022】また本出願第8の発明は、本出願第7の発明の半導体装置において、前記2つの導電部材を第二の絶縁部材を介して立体交差させてなることを特徴とする。

【0023】したがって、一層形成では絶縁性の問題により前記導電部材のパターンの引き回しが困難となる場合においても、本出願第8の発明の半導体装置によれば、第二の絶縁部材を介して二層以上に導電部材を形成し、立体交差させるので、ボンディングワイヤの中継手段たる導電部材の引き回しの自由度が増加するという利点があり、これにより組立可能な半導体チップの組み合わせをさらに多様にすることができるという利点がある。

【0024】また本出願第9の発明は、本出願第6の発明の半導体装置において、前記一の導電部材を少なくとも1つ含む複数の導電部材が前記配線電極部群のうちの各一の配線電極部にそれぞれ電氣的に接続され、前記複数の導電部材からそれぞれ第二の半導体チップ側へ延設されるボンディングワイヤと前記複数の導電部材との各接合点の配列ピッチより、前記複数の導電部材からそれぞれ第一の半導体チップの電極側へ延設されるボンディングワイヤと前記複数の導電部材との各接合点の配列ピッチの方が、前記配線電極部群の配列ピッチに整合していることを特徴とする。

【0025】前記（本出願第6の発明に記載の）一の導電部材を少なくとも1つ含むとしているのは、複数の導電部材のうち少なくとも1つの導電部材について、第一の半導体チップの電極側へ延設されるボンディングワイヤとの接合点の位置が、第二の半導体チップ側へ延設されるボンディングワイヤとの接合点に対して、前記配列方向であって前記一の配線電極部に近づく方向に変位しているということが要件となるからである。上下に積層配置される半導体チップの配列ピッチが互いに整合しない場合には、配線板の配線電極部の配列ピッチは最下部の半導体チップの電極の配列ピッチに合わされて構成される。その場合、上チップの電極の配列ピッチが配線板に備えられた配線電極部の配列ピッチに整合しないこととなる。しかし本出願第9の発明の半導体装置によれば、上チップの電極の配列ピッチが配線板に備えられた配線電極部の配列ピッチに整合しない場合であっても、上チップから配線電極部までの配線が、前記導電部材によって中継されるとともに、その配線経路がこの導電部材によって配線電極部群の配列ピッチに整合されていくので、各ボンディングワイヤを短くすることができ、配線板の配線電極部へのワイヤボンディングを可能にし、ワイヤボンディングの作業性・信頼性を向上させることができるという利点があり、これにより組立可能な半導体チップの組み合わせをさらに多様にすることができる

(6)

10

という利点がある。

【0026】

【発明の実施の形態】以下に本発明の実施の形態の半導体装置につき図面を参照して説明する。

【0027】実施の形態1

まず、本発明の実施の形態1の半導体装置につき、図1を参照して説明する。図1は本発明の実施の形態1の半導体装置を示す半身断面図(a)及び半身平面図(b)である。

【0028】図1に示すように、実施の形態1の半導体装置は、基板1上に第一の半導体チップ4がダイボンドされ、さらに、第一の半導体チップ4の主面上に第二の半導体チップ5bが積み重ねられてダイボンディングされている。このとき、第二の半導体チップ5bは、第一の半導体チップ4の主面上の縁部に形成された電極パッド6を含む一定の領域を除く第一の半導体チップ4の主面上の領域に接合しており、電極パッド6を含む一定の領域が露出している。第二の半導体チップ5bもワイヤボンディング用の電極パッド7を縁部に有する。電極パッド6は基板1上に形成された配線の電極部たる配線電極部2にボンディングワイヤ8によって電氣的に接続される。配線電極部2は、基板1上に形成された配線及び、基板1内に形成された多層配線層によって外部端子たる半田ボール3と導通している。

【0029】実施の形態1の半導体装置は、従来の半導体装置102（図6(b)参照）と同様に、第二の半導体チップ5bが第一の半導体チップ4の縁から必要以上かつワイヤボンディングの許容限度を超えて遠のいている。すなわち、第一の半導体チップ4をワイヤボンディング可能にするために必要な電極パッド6を含む一定の領域以上の領域をあげ、さらに1本のボンディングワイヤによるワイヤボンディングの許容限度を超えて第二の半導体チップ5bの電極パッド7が配線電極部2から遠距離に配置されている。

【0030】しかし、実施の形態1の半導体装置には、電極パッド6と電極パッド7との間に延在する第二の半導体チップ5bの外縁30と、電極パッド6との間の第一の半導体チップ4の主面上に絶縁テープ材10を介して第一の半導体チップ4と絶縁された導電部材11が設置されている。すなわち、上面に導電部材11が形成された絶縁テープ材10が第一の半導体チップ4の主面上に貼付されている。そして、電極パッド7と導電部材11との間にボンディングワイヤ9aが接続され、導電部材11と配線電極部2との間にボンディングワイヤ9bが接続されている。すなわち、第二の半導体チップ5bの電極パッド7はボンディングワイヤ9a、9bと導電部材11によって、基板1上の配線電極部2に電氣的に接続されている。したがって、実施の形態1の半導体装置は、1本のボンディングワイヤによるワイヤボンディングの許容限度を超えて第二の半導体チップ5bの電極

11

パッド7が配線電極部2から遠距離に配置されているが、導電部材11によってボンディングワイヤが中継され、2本のボンディングワイヤ9a、9b及び導電部材11によって第二の半導体チップ5bのワイヤボンディングを可能にしている。実施の形態1の半導体装置によれば、2本のボンディングワイヤ9a、9bに分割したことにより、ボンディングワイヤの長さを短くしたので、ボンディングワイヤの撓みを抑え、撓んだボンディングワイヤがボンディングワイヤ8や第一の半導体チップ4に接触し電氣的にショートしてしまうということがない。

【0031】なお、絶縁テープ材としてはポリイミドテープ等を用い、テープ上に導電部材として銅箔パターン等を形成することにより実施可能である。電極パッド6の端から絶縁テープ材10の端まで間隔及び絶縁テープ材10の端から第二の半導体チップ5bの外縁までの間隔は、キャピラリツール、ウェッジツール等のワイヤボンディングツールの先端がテープ材10又は第二の半導体チップ5b端面に接触することを防止するためのマージンとして設けておく。なお、ボンディングされたワイヤの高さを所定のループ高さに確保するため、ワイヤボンディングツールをボンディングワイヤの延設方向と逆方向に一旦リバース動作させ、ワイヤを形成する技術を採用している。この場合、かかるマージンとして、チップマウントの位置精度誤差のためのマージンのみならず、ワイヤボンディングツールのリバース動作マージンをも考慮する必要がある。現在の技術でかかるマージンの値は、ワイヤボンディングツールのリバース動作マージンとして0.4mm、チップマウントの位置精度誤差として、0.15mmとし、計0.55mm程度とする必要がある。また、導電部材11に2以上のボンディングワイヤを接合可能にするには、ボンディングパッドとなる面を導電部材11に2以上設ける必要がある。現在の技術でボンディングパッドの面積には、1ボンディングパッドにつき0.1mm四方の面積が必要となる。したがって、実施の形態1の半導体装置において、電極パッド6の端から第二の半導体チップ5bの外縁までの間隔は、現在の技術で、 $0.55 + 0.2 + 0.55 = 1.30$ mm程度必要となる。1.30mm程度のマージンを第一の半導体チップ4上の相対する両側の外縁部にとることができる場合には、本発明における中継手段を両側の外縁部に設けることができる。1.30mm程度のマージンを第一の半導体チップ4上の相対する両側の外縁部にとることができない場合であって、片側の外縁部にのみとることができるときには、本発明における中継手段を片側の外縁部に設けることができる。必要以上にマージンがとれる場合には、導電部材11を0.2mm以上に長尺に形成し、ボンディングワイヤが長くなるのを防ぐと良い。なお、第2の半導体チップ5bを第1の半導体チップ4の中央に配置したときには、導電部

(7)

12

材11を第1の半導体チップ4の4辺のうち少なくとも2辺に設ければよい。また、第2の半導体チップ5bを第1の半導体チップ4の1辺に片寄って配置したときには、導電部材11を第1の半導体チップ4の4辺のうち少なくとも1辺に設け、他方の辺は従来と同様のボンディングを採用してもよい。さらに、図1には、第1の半導体チップ4と第2の半導体チップ5bの電極パッド6、7を同一の配線電極部2に接続した例を示すが、図2のA部に示すように別々の配線電極部2に接続してもよい。

【0032】実施の形態2

次に本発明の実施の形態2の半導体装置につき図2を参照して説明する。図2は本発明の実施の形態2の半導体装置を示す半身断面図(a)及び半身平面図(b)である。

【0033】図2に示すように、実施の形態2の半導体装置の基本構成は実施の形態1の半導体装置と同じであるが、テープ材は設置せずに、電極パッド6と電極パッド7との間に延在する第二の半導体チップ5bの外縁30と、電極パッド6との間の第一の半導体チップ4の主面に絶縁層(図示せず)を介して第一の半導体チップ4の他の構成物と絶縁された導電部材12が形成されている点で異なる。そして、電極パッド7と導電部材12との間にボンディングワイヤ9aが接続され、導電部材12と配線電極部2との間にボンディングワイヤ9bが接続されている。すなわち、第二の半導体チップ5bの電極パッド7はボンディングワイヤ9a、9bと導電部材12によって、基板1上の配線電極部2に電氣的に接続されている。したがって、実施の形態2の半導体装置は、1本のボンディングワイヤによるワイヤボンディングの許容限度を超えて第二の半導体チップ5bの電極パッド7が配線電極部2から遠距離に配置されているが、導電部材11によってボンディングワイヤが中継され、2本のボンディングワイヤ9a、9bによって第二の半導体チップ5bのワイヤボンディングを可能にしている。実施の形態1の半導体装置によれば、2本のボンディングワイヤ9a、9bに分割したことにより、ボンディングワイヤの長さを短くしたので、ボンディングワイヤの撓みを抑え、撓んだボンディングワイヤがボンディングワイヤ8や第一の半導体チップ4に接触し電氣的にショートしてしまうということがない。

【0034】なお、第一の半導体チップ4の形成プロセスを有効に利用し、電極パッド6を形成する工程と同一工程でシリコン酸化物等の絶縁層の上に導電部材として金属配線パターン等を形成することにより実施可能である。

【0035】実施の形態3

次に本発明の実施の形態3の半導体装置につき図3を参照して説明する。図3は本発明の実施の形態3の半導体装置を示す半身平面図である。

50

(8)

13

【0036】実施の形態3の半導体装置の基本構成は実施の形態1の半導体装置と同じであるが、図3に示すように、その導電部材の形状が異なる。すなわち、実施の形態1の半導体装置における導電部材11の外形はボンディングワイヤ延設方向を長辺とするほぼ長方形形状であったが、実施の形態3の半導体装置においては、絶縁テープ材10上にほぼコの字型の導電部材13aや、L字型の導電部材13bが形成されている。実施の形態3の半導体装置電極において、電極パッド7aは、配線接続部2bに接続すべきものであり、電極パッド7bは、配線接続部2aに接続すべきものであるため、それぞれ1本のボンディングワイヤで接続する場合には、ボンディングワイヤ同士を交差させなければならない(クロスボンディング)。

【0037】しかし、実施の形態3の半導体装置においては、電極パッド7aと導電部材13bとの間にボンディングワイヤ9a-1が接続され、導電部材13bと配線電極部2bとの間にボンディングワイヤ9b-2が接続されることにより、第二の半導体チップ5bの電極パッド7aはボンディングワイヤ9a-1、9b-2と導電部材13bによって、基板1上の配線電極部2bに電気的に接続されている。一方、電極パッド7aに並設される電極パッド7bと導電部材13aとの間にボンディングワイヤ9a-2が接続され、導電部材13aと配線電極部2aとの間にボンディングワイヤ9b-1が接続されることにより、第二の半導体チップ5bの電極パッド7bはボンディングワイヤ9a-2、9b-1と導電部材13aによって、基板1上の配線電極部2bに電気的に接続されている。配線電極部2a、2bの配列方向は図面上左右方向である。また、導電部材13aとボンディングワイヤ9a-2との接合点から見た導電部材13bとボンディングワイヤ9a-1との接合点の方向が、図面上左側であるのに対し、導電部材13aとボンディングワイヤ9b-1との接合点から見た導電部材13bとボンディングワイヤ9b-2との接合点の方向が、図面上右側である。すなわち、2つの導電部材13a、13bからそれぞれ第二の半導体チップ5b側へ延設されるボンディングワイヤ9a-1、9a-2と前記2つの導電部材13a、13bとの各接合点の互いの位置関係と、前記2つの導電部材13a、13bからそれぞれ第一の半導体チップ4の電極パッド6側へ延設されるボンディングワイヤ9b-1、9b-2と前記2つの導電部材13a、13bとの各接合点の互いの位置関係とが、配線電極部2a、2bの配列方向について逆である。なお、実施の形態3の半導体装置の場合、図3に示すように、配線電極部2a、2bの配列方向は、ボンディングワイヤ9b-1、9b-2と交差する第一の半導体チップ4の辺31と平行な方向に一致する。したがって、「配線電極部2a、2bの配列方向について逆」を、「ボンディングワイヤ9b-1、9b-2と交差す

14

る第一の半導体チップ4の辺31と平行な方向について逆」と言い換えることができる。同様に、実施の形態3の半導体装置の場合、図3に示すように、配線電極部2a、2bの配列方向は、ボンディングワイヤ9a-1、9a-2と交差する第二の半導体チップ5bの辺32と平行な方向に一致する。したがって、「配線電極部2a、2bの配列方向について逆」を、「ボンディングワイヤ9a-1、9a-2と交差する第二の半導体チップ5bの辺32と平行な方向について逆」と言い換えることができる。また、実施の形態3の半導体装置の場合、図3に示すように、配線電極部2a、2bの配列方向は、ボンディングワイヤ9b-1、9b-2と交差する絶縁テープ材10の辺33と平行な方向に一致する。したがって、「配線電極部2a、2bの配列方向について逆」を、「ボンディングワイヤ9b-1、9b-2と交差する絶縁テープ材10の辺33と平行な方向について逆」と言い換えることができる。

【0038】さらに、導電部材13aとボンディングワイヤ9b-1との接合点の位置が、導電部材13aとボンディングワイヤ9a-2との接合点に対して、配線電極部2a、2bの配列方向であって前記一の配線電極部2aに近づく方向に変位している。同様に、導電部材13bとボンディングワイヤ9b-2との接合点の位置が、導電部材13bとボンディングワイヤ9a-1との接合点に対して、配線電極部2a、2bの配列方向であって前記一の配線電極部2bに近づく方向に変位している。以上のように、導電部材13a、13bのパターンの引き回しにより、第二の半導体チップ5b上に並列する電極パッド7a、7bの配線経路の位置関係が入れ替えられるので、ボンディングワイヤ9a-1、9a-2が交差することなく、また、ボンディングワイヤ9b-1、9b-2が交差することなく第二の半導体チップ5bはワイヤボンディングされている。これにより、実施の形態3の半導体装置は、クロスボンディングを回避して、上チップのワイヤボンディングを可能にし、組立可能な半導体チップの組み合わせの幅を広げるのである。

【0039】実施の形態4

次ぎに本発明の実施の形態4の半導体装置につき図4を参照して説明する。図4は本発明の実施の形態4の半導体装置を示す半身平面図である。

【0040】実施の形態3の半導体装置においては、絶縁テープ材10は第一の半導体チップ4と絶縁するための一層とされ、その上に導電部材を一層に形成していた。しかし、上述のような配線経路の入れ替えを多数行う場合には、導電部材同士の絶縁を一層上で確保することが難しくなる。そこで、実施の形態4の半導体装置では、図4に示すように、絶縁テープ材20を2層とした。そして、第一の半導体チップ4と絶縁するための一層目のテープ上に導電部材14a、14b、14cを形成し、この上に2層目のテープを貼付し、さらにこの2

(9)

15

層目のテープ上に導電部材15a、15b、15cを形成した。図4に示すように、例えば、導電部材15aを2層目のテープを介して下層に位置する導電部材14a、14b、14cと立体交差させている。例えば、導電部材14cを2層目のテープを介して上層に位置する導電部材15a、15b、15cと立体交差させている。なお、導電部材14a、14b、14cのボンディングパッド部分は、2層目のテープを開口することにより露出させている。

【0041】以上のように実施の形態4の半導体装置によれば、導電部材を立体交差させるので、ボンディングワイヤの中継手段たる導電部材の引き回しの自由度が増加し、組立可能な半導体チップの組み合わせの幅が広がるのである。なお、必要に応じ、絶縁テープ材20を3層以上とすることにより、導電部材を3層以上に形成しても良い。

【0042】実施の形態5

次に本発明の実施の形態5の半導体装置につき図5を参照して説明する。図5は本発明の実施の形態5の半導体装置を示す半平面図である。

【0043】実施の形態5の半導体装置の基本構成は実施の形態1の半導体装置と同じであるが、図5に示すように、その導電部材の形状が異なる。すなわち、実施の形態1の半導体装置における導電部材11の外形はボンディングワイヤ延設方向を長辺とするほぼ長方形形状であったが、実施の形態5の半導体装置においては、絶縁テープ材10上にL字型等の導電部材16aが形成されている。

【0044】基板1上の配線電極部2の配列ピッチは、最下部の半導体チップたる第一の半導体チップ4の電極パッド6の配列ピッチに合わせて構成されるが、第二の半導体チップ5bの電極パッド7は第一の半導体チップ4の電極パッド6の配列ピッチと異なるため、配線電極部2の配列ピッチに整合しないこととなる。しかし実施の形態5の半導体装置は、導電部材16aとボンディングワイヤ9bとの接合点の位置が、導電部材16aとボンディングワイヤ9aの接合点に対して、配線電極部2の配列方向であって、接続すべき配線電極部2に近づく方向に変位し、導電部材16とボンディングワイヤ9bとの接合点の配列ピッチが配線電極部2の配列ピッチに整合している。また、導電部材16bのように、パターン幅を広くしてもよい。このように、図面左右方向に広いパターン（導電部材16a、16b）を形成しておくことで、電極パッド7、6の位置が異なる様々な半導体チップに対し、同一の導電部材を用いることが可能になる。それとともに、ボンディング時の位置合わせ精度がそれほど高くなくてもボンディングできる。これらの結果として、製造コストを低減することができる。したがって実施の形態5の半導体装置によれば、第二の半導体チップ5bから配線電極部2までの配線が、導電部

16

材16によって中継されるとともに、その配線経路がこの導電部材16によって、配線電極部2の配列ピッチに整合されていくので、各ボンディングワイヤを短くすることができ、基板1上の配線電極部2へのワイヤボンディングを可能にし、ワイヤボンディングの作業性・信頼性を向上させることができる。よって、組立可能な半導体チップの組み合わせをさらに多様にすることができる。

【0045】以上の実施の形態1～5において、第一の半導体チップ4の電極パッド6に接合されるボンディングワイヤ8を基板1へ投影した線分と、導電部材11、12、13、14、15又は16に接合され、この導電部材から第一の半導体チップ4の電極パッド6側へ延設されるボンディングワイヤ9bを基板1へ投影した線分とは、所定間隔で乖離しており、そうなるように導電部材11、12、13、14、15又は16を配置しボンディングワイヤの接合点を設定した。したがって、上から見た場合にボンディングワイヤ同士が重合することがないので、ワイヤボンディング接続の外観検査を容易に行うことができる。即ち、上のワイヤで下のワイヤが見えなくなり、下のワイヤがボンディングされていないことが確認できなくなるといった不具合がなくなり、ワイヤボンディング接続の外観検査を容易に行うことができる。また、別の評価を行うと、導電部材11、12、13、14、15又は16から第一の半導体チップ4の電極パッド6側へ延設されるボンディングワイヤ9bと導電部材11、12、13、14、15又は16との接合点が、ボンディングワイヤ9bの延設方向に見て、第一の半導体チップ4の互いに隣接する2つの電極パッド6のボンディングワイヤ接合点の間に位置しており、そうなるように導電部材11、12、13、14、15又は16を配置しボンディングワイヤの接合点を設定した。したがって、上から見た場合にボンディングワイヤ同士が重合することがないので、ワイヤボンディング接続の外観検査を容易に行うことができる。

【0046】また、以上の実施の形態1～5においては、2つの半導体チップが積層搭載されるBGA型の半導体装置を例にとりて説明したが、本発明はこれに限られない。すなわち、3つ以上の半導体チップを積層搭載しても良い。その場合には、ボンディングワイヤの中継手段たる前記導電部材を2以上の半導体チップの主面上に設置しても良い。また、外部接続方式は、BGAに限らず、ボール3が付いていないパッケージ（LGA等）の他のエリアアレイ型半導体装置や、QFP等の周囲に外部リードを備える半導体装置としても良い。また、配線板は、プリント配線基板に限られず、リードフレーム等を用いても良い。また、実装基板（配線板）にベアチップ搭載し、直接実装基板にワイヤボンディングしても良い。

【0047】

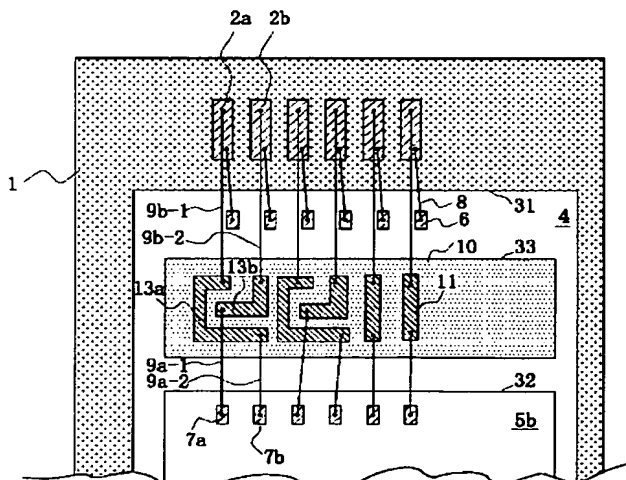
(10)

17

【発明の効果】上述のように本発明は、ボンディングワイヤの中継手段たる前記導電部材を採用したことにより、上チップの電極と配線板の配線電極とを電氣的に接続するボンディングワイヤが分割され、それぞれのボンディングワイヤを、一本のボンディングワイヤによりボンディングする場合より短くすることができ、ボンディングワイヤの撓みを抑え、撓んだボンディングワイヤが他のボンディングワイヤや半導体チップに接触し電氣的にショートしてしまうという問題の発生を抑えることができるという効果がある。これにより、物理的な制約によりチップ電極が配線板の配線電極部から遠距離になってしまうような上チップたる半導体チップを、そのチップサイズを設計変更することなく半導体装置中に組み込むことができ、配線板上に複数の半導体チップを積み重ねて搭載する場合に、組立可能な半導体チップの組み合わせを多様にすることができ、汎用の半導体チップを適用して様々な需要に低コストで応えることができるという効果がある。

【0048】また、本発明は、前記導電部材が配設された1層又は2層以上のテープを半導体チップの主面上に貼付する構成を採用したこと、前記導電部材の配置又はパターンによりボンディングワイヤの重合や、クロスボンディングを回避したこと、さらに、上下に積層配置される半導体チップの電極パッドの配列ピッチの整合性を導電部材で仲介することにより向上させたことにより、上チップのワイヤボンディングを可能にし、MCM、MCPにおけるワイヤボンディングの信頼性の向上に貢献し、組立可能な半導体チップの組み合わせの幅をさらに広げ、MCM、MCPのバリエーションを豊かにすることができた。

【図3】



18

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体装置を示す半身断面図(a)及び半身平面図(b)である。

【図2】 本発明の実施の形態2の半導体装置を示す半身断面図(a)及び半身平面図(b)である。

【図3】 本発明の実施の形態3の半導体装置を示す半身平面図である。

【図4】 本発明の実施の形態4の半導体装置を示す半身平面図である。

10 【図5】 本発明の実施の形態5の半導体装置を示す半身平面図である。

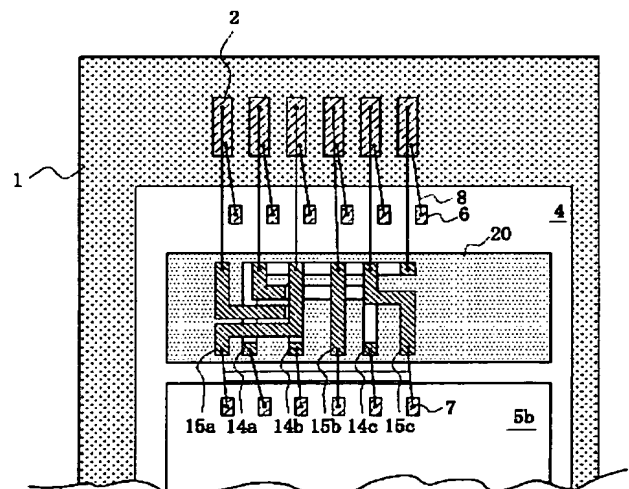
【図6】 従来の半導体半導体装置101を示す半身平面図(a)、及び従来の半導体半導体装置102を示す半身平面図(b)である。

【符号の説明】

- | | |
|--|---------------|
| 101、102 | BGA型の半導体半導体装置 |
| 1 | 基板 |
| 2、2a、2b | 配線電極部 |
| 3 | 半田ボール |
| 4 | 第一の半導体チップ |
| 5a 5b | 第二の半導体チップ |
| 6 | 電極パッド |
| 7 | 電極パッド |
| 8、9、9a、9b、9a-1、9a-2、9b-1、9b-2 | ボンディングワイヤ |
| 10 | 絶縁テープ材 |
| 11、12、13a、13b、14a、14b、14c、15a、15b、15c、16 | 導電部材 |
| 20 | (2層構成の)絶縁テープ材 |

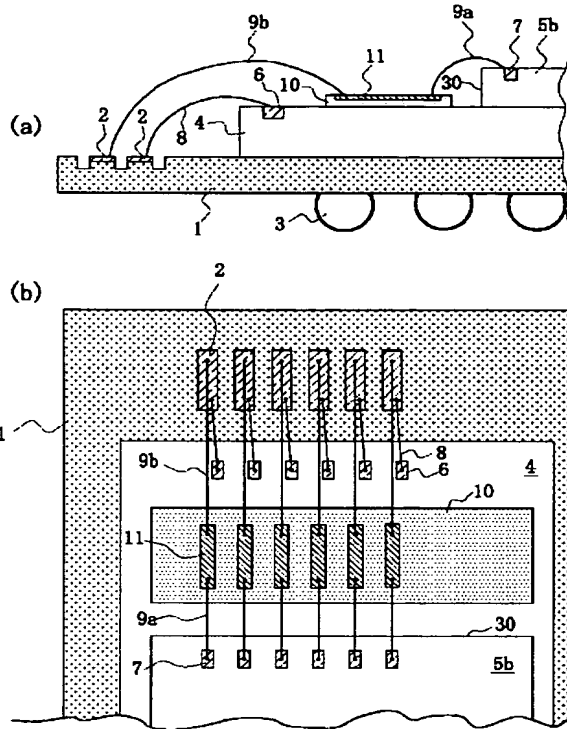
30

【図4】

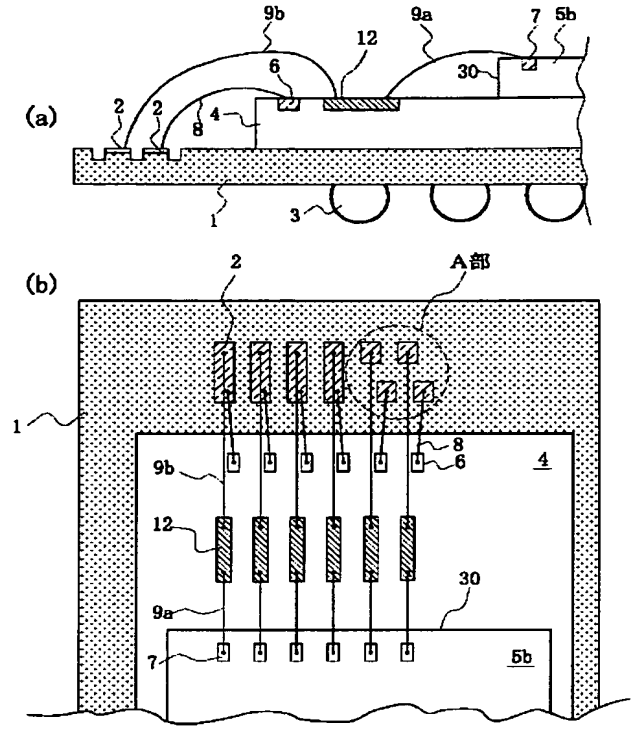


(11)

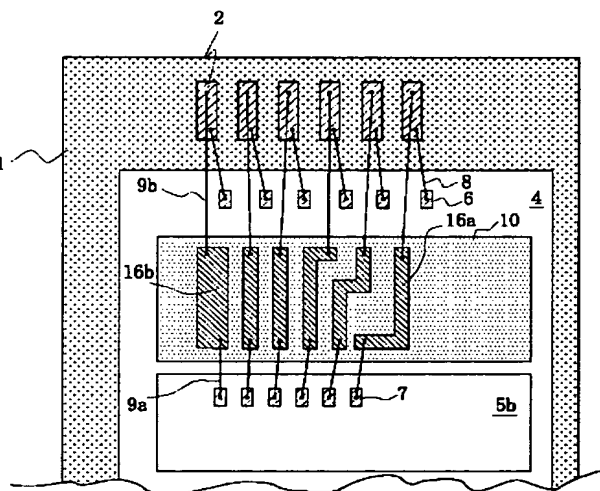
【図1】



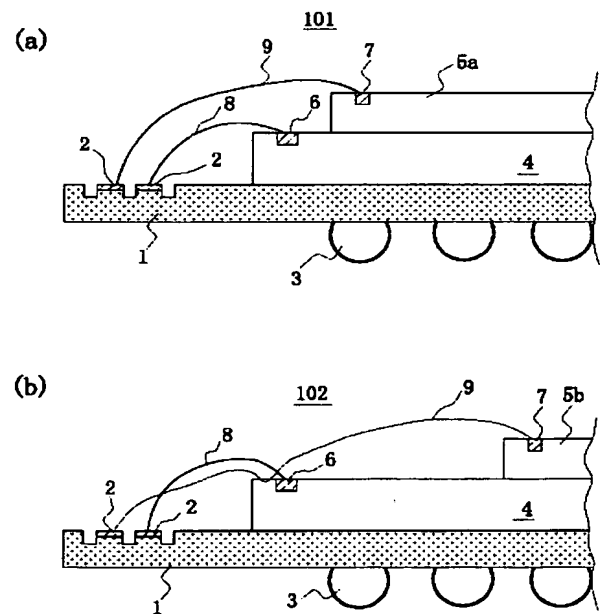
【図2】



【図5】



【図6】



(12)

フロントページの続き

(51) Int. Cl. ⁷

// H O 1 L 23/12

識別記号

F I

テーマコード(参考)

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In a semiconductor device equipped with a patchboard, the first semiconductor chip by which wirebonding is carried and carried out to said patchboard, and the second semiconductor chip by which is accumulated on the principal plane of the first semiconductor chip, and wirebonding is carried out The conductive member insulated with the first semiconductor chip through the insulating member is installed on said principal plane of the first semiconductor chip. Said conductive member The semiconductor device characterized by it being arranged between the rim of the second semiconductor chip which extends between the electrode of the first semiconductor chip, and the electrode of the second semiconductor chip, and the electrode of said first semiconductor chip, and coming to enable junction of two or more bonding wires.

[Claim 2] In a semiconductor device equipped with a patchboard, the first semiconductor chip by which wirebonding is carried and carried out to said patchboard, and the second semiconductor chip by which is accumulated on the principal plane of the first semiconductor chip, and wirebonding is carried out The conductive member insulated with other structures of the first semiconductor chip by said principal plane of the first semiconductor chip through the insulating layer is formed. Said conductive member A semiconductor device given in the semiconductor device characterized by it being arranged between the rim of the second semiconductor chip which extends between the electrode of the first semiconductor chip, and the electrode of the second semiconductor chip, and the electrode of said first semiconductor chip, and coming to enable junction of two or more bonding wires.

[Claim 3] The semiconductor device according to claim 1 characterized by making said insulating member into tape material.

[Claim 4] So that the projection to said patchboard of the bonding wire joined to the electrode of the first semiconductor chip and the projection to said patchboard of the bonding wire installed to the electrode side of the first semiconductor chip from said conductive member may deviate at intervals of predetermined or it may have the common point of 1 Claim 1 characterized by coming to arrange the join of the bonding wire installed from said conductive member to the electrode side of the first semiconductor chip, and said conductive member, a semiconductor device according to claim 2 or 3.

[Claim 5] Claim 1 characterized by being located between the bonding wire joins of two electrodes with which the join of the bonding wire installed to the electrode side of the first semiconductor chip and said conductive member sees towards said installation, and adjoins mutually [the first semiconductor chip] from said conductive member, a semiconductor device according to claim 2 or 3.

[Claim 6] It connects with the wiring polar zone of one electrically among the wiring polar-zone groups in which the conductive member of one has the fixed array direction with which said patchboard was equipped among said conductive members. The location of the join of the bonding wire installed from said conductive member to the electrode side of the first semiconductor chip and said conductive member The semiconductor device of the publication among [1 / any] claim 1 to claims 5 which are said array direction and are characterized by displacing in the direction approaching said wiring polar zone of 1 to the join of the bonding wire installed from said conductive member to a second semiconductor chip side, and said conductive member.

[Claim 7] Two conductive members containing said at least one conductive member of 1 are electrically connected to the wiring polar zone of each 1 of said wiring polar-zone groups, respectively. The mutual physical relationship of each join of the bonding wire installed from said two conductive members to a second semiconductor chip side, respectively, and said two conductive members, The semiconductor device according

to claim 6 with which mutual physical relationship of each join of the bonding wire installed from said two conductive members to the electrode side of the first semiconductor chip, respectively and said two conductive members is characterized by being reverse about said array direction.

[Claim 8] The semiconductor device according to claim 7 characterized by making said two conductive members come to cross in two levels through the second insulating member.

[Claim 9] Two or more conductive members containing said at least one conductive member of 1 are electrically connected to the wiring polar zone of each 1 of said wiring polar-zone groups, respectively. From the array pitch of each join of the bonding wire and said two or more conductive members which are installed from said two or more conductive members to a second semiconductor chip side, respectively The semiconductor device according to claim 6 with which the direction of the array pitch of each join of the bonding wire and said two or more conductive members which are installed from said two or more conductive members to the electrode side of the first semiconductor chip, respectively is characterized by having consistency in the array pitch of said wiring polar-zone group.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to MCM (multi chip module) and stackedMCP (multi chip package) which accumulate two or more semiconductor chips and are carried in a patchboard about a semiconductor device. This invention belongs to amelioration of the wirebonding connection relation.

[0002]

[Description of the Prior Art] Current, and MCM and MCP attract attention as a technique which promotes small area-ization (densification of mounting) of a component-side product. Moreover, MCM and MCP are excellent in the point that it can respond to low cost at a user's military requirement, by combining two or more general-purpose chips. In order to, combine the semiconductor chip of a different specification on the other hand, there are not few troubles which should be made mounting technology with a technical problem. There is a problem which is explained below as this trouble.

[0003] As an example of the conventional stackedMCP, the semiconductor devices 101 and 102 of a BGA (ball grid array) mold are shown in drawing 6. As shown in drawing 6 (a), die bond of the rectangle-like first semiconductor chip 4 is carried out on a substrate 1, further, on the principal plane of the first semiconductor chip 4, second rectangle-like semiconductor chip 5a is accumulated, and die bonding of the conventional semiconductor device 101 is carried out. At this time, second semiconductor chip 5a is joined to the field on the principal plane of the first semiconductor chip 4 except the fixed field containing the electrode pad 6 formed in the edge on the principal plane of the first semiconductor chip 4, and the fixed field containing the electrode pad 6 is exposed. Second semiconductor chip 5a also has the electrode pad 7 for wirebonding at the edge of at least two sides. The electrode pads 6 and 7 are electrically connected to the polar-zone slack wiring polar zone 2 of wiring formed on the substrate 1, respectively by bonding wires 8 and 9. The wiring polar zone 2 has flowed with the external terminal slack solder ball 3 by wiring formed on the substrate 1, and the multilayer-interconnection layer formed in the substrate 1.

[0004] On the other hand, although the conventional semiconductor device 102 is connected internally by bonding wires 8 and 9 like the semiconductor device 101 as shown in drawing 6 (b), they differ in that second semiconductor chip 5b is getting away exceeding the tolerance limit of beyond the need and wirebonding from the edge of the first semiconductor chip 4. That is, the field more than the fixed field containing the electrode pad 6 required in order to make possible wirebonding of the first semiconductor chip 4 is opened, and the electrode pad 7 of second semiconductor chip 5b is further arranged from the wiring polar zone 2 at the long distance exceeding the tolerance limit of wirebonding. The dimension of a drawing top longitudinal direction may produce such a condition, when the second semiconductor chip 5b is extremely shorter than the first semiconductor chip 4.

[0005]

[Problem(s) to be Solved by the Invention] As mentioned above, in a semiconductor device 102, the distance from the electrode pad 7 to the wiring polar zone 2 becomes long. Therefore, since the die length of a bonding wire 9 also becomes long, the problem that the bonding wire 9 by which a bonding wire 9 becomes easy to bend and was bent will contact a bonding wire 8 and the first semiconductor chip 4, and will short-circuit electrically arises. Since it will become a defective article if a bonding wire short-circuits, the problem that it cannot assemble as a matter of fact depending on a wirebonding technique produces the semiconductor device which combined two or more semiconductor chips with which the electrode pad 7 of second semiconductor chip 5b

becomes a long distance from the wiring polar zone 2 exceeding the tolerance limit of wirebonding as mentioned above. It is also possible to, make the height of the loop formation of a bonding wire high on the other hand, in order to avoid the short-circuit between wires and the short-circuit during a wire chip. However, when making it such, the height (thickness) of a package becomes high and there is a problem of it becoming impossible to mount in the product thin-shape-ized like a cellular phone. In the conventional technique, although the chip size of the second semiconductor chip was enlarged according to the size of the first semiconductor chip in order to solve this problem, this is disadvantageous at the point that a chip layout must be specially changed for every combination with the semiconductor chip used as the bottom, and a chip size must be designed, and was dulling improvement in productivity. In addition, in drawing 6, although only the cross section of a left half is shown, even if it arranges second semiconductor chip 5b so that the electrode pad of one side may approach the wiring polar zone since the electrode pad on a semiconductor chip is formed in the rim section which faces in many cases, with this, the electrode pad of the opposite side will keep away from the wiring polar zone.

[0006] Although not illustrated, in order to combine the semiconductor chip of a different specification, depending on moreover, the combination of the semiconductor chip by which laminating arrangement is carried out, up and down The ** [location / of the wiring polar zone 2 corresponding to the electrode pad 7 of second semiconductor chip 5b used as the bottom] which is not orderly, The bonding wire 8 the case where two or more bonding wires 9 must be crossed mutually, and for connection of the first semiconductor chip 4 used as the bottom, The bonding wire 9 for the connection of second semiconductor chip 5b used as the bottom When carrying out a polymerization when it sees from a top, and making visual inspection of wirebonding connection difficult, the case where the pitch of the electrode pad 7 of second semiconductor chip 5b which serves as a pitch of the electrode pad 6 of the first semiconductor chip 4 used as the bottom and the bottom further does not have consistency etc. arises. There is a problem of making assembly of a semiconductor device difficult or impossible, or causing trouble to dependability maintenance of wirebonding connection by these physical constraint.

[0007] This invention is made in view of the problem in the above conventional technique, and combination of the semiconductor chip in which assembly is possible when it accumulates and carries two or more semiconductor chips on a patchboard can be made various, and let it be a technical problem to offer the semiconductor device which can respond to various need by low cost with the application of a general-purpose semiconductor chip.

[0008]

[Means for Solving the Problem] The first semiconductor chip by which this 1st invention which solves said technical problem is carried in a patchboard and said patchboard, and wirebonding is carried out, In a semiconductor device equipped with the second semiconductor chip by which is accumulated on the principal plane of the first semiconductor chip, and wirebonding is carried out The conductive member insulated with the first semiconductor chip through the insulating member is installed on said principal plane of the first semiconductor chip. Said conductive member It is arranged between the rim of the second semiconductor chip which extends between the electrode of the first semiconductor chip, and the electrode of the second semiconductor chip, and the electrode of said first semiconductor chip, and two or more bonding wires are the semiconductor devices characterized by coming it possible to carry out junction.

[0009] Here, the semiconductor chip which the first semiconductor chip carried in the patchboard is accumulated not only on the semiconductor chip directly joined to a patchboard but on other semiconductor chips etc., and is carried in a patchboard also corresponds. That is, this invention is applicable also to the semiconductor device with which three or more semiconductor chips are constituted by being piled up on a patchboard. Therefore, the semiconductor chip which is further accumulated upwards from the second semiconductor chip or second semiconductor chip according to the semiconductor device of invention of this application 1st (It is hereafter called an upper chip.) In case an electrode and the wiring polar zone of said patchboard are electrically connected by the bonding wire Further by joining electrically the bonding wire of the others [point / one] other than said conductive member by connecting electrically one point of the conductive member installed on the principal plane of the electrode and the first semiconductor chip of an upper chip by the bonding wire of 1 The bonding wire which connects the electrode of an upper chip and the wiring electrode of a patchboard electrically is divided, and it can be made shorter than the case where bonding of each bonding wire

is carried out by one bonding wire. Thus, since the bonding wire for internal wiring of an upper chip can be shortened, there is an advantage that bending of a bonding wire can be suppressed and the bent bonding wire can suppress generating of the problem of contacting other bonding wires and semiconductor chips and short-circuiting electrically. That is, said conductive member serves as a junction means of a bonding wire. What is necessary is just to perform dividing a bonding wire or more into three through two or more junction means, and leading to the wiring polar zone of a patchboard if needed, when many semiconductor chips are accumulated. therefore, a conductive member -- said -- others -- not requirements but after repeating junction once or more further, the configuration of direct continuation of the other end of the bonding wire joined by one point being carried out to the wiring polar zone of a patchboard connected is also effective. According to the semiconductor device of invention of this application 1st, by the above thing, an upper chip with which a chip electrode becomes a long distance from the wiring polar zone of a patchboard by physical constraint can be built into MCM and MCP, without carrying out the design change of the chip size. Therefore, when it accumulates and carries two or more semiconductor chips on a patchboard, combination of the semiconductor chip in which assembly is possible can be made various, and there is an advantage that the semiconductor device which can respond to various need by low cost with the application of a general-purpose semiconductor chip can be offered. In addition, only the number according to the number of the electrodes of an upper chip [need / said conductive member / to be acted as intermediary] is formed.

[0010] Moreover, the first semiconductor chip by which this 2nd invention is carried in a patchboard and said patchboard, and wirebonding is carried out, In a semiconductor device equipped with the second semiconductor chip by which is accumulated on the principal plane of the first semiconductor chip, and wirebonding is carried out The conductive member insulated with other structures of the first semiconductor chip by said principal plane of the first semiconductor chip through the insulating layer is formed. Said conductive member It is arranged between the rim of the second semiconductor chip which extends between the electrode of the first semiconductor chip, and the electrode of the second semiconductor chip, and the electrode of said first semiconductor chip, and two or more bonding wires are the semiconductor devices characterized by coming it possible to carry out junction.

[0011] Therefore, since according to the semiconductor device of invention of this application 2nd the configuration in which a conductive member is formed in the principal plane of the first semiconductor chip is adopted while there is an advantage of invention of this application 1st, said conductive member and said insulating layer can be formed by using the pattern formation process of a semi-conductor. Therefore, there is an advantage that the increment burden of the man day which hits applying this invention, and materials can be suppressed very small. However, according to the semiconductor device of invention of this application 2nd, the point it is not easy a point to make possible the various upper chips and combination of the point that it is necessary to take into consideration what kind of upper chip is repeated on the first semiconductor chip, and the first semiconductor chip, with which such a conductive member was formed turns into a difficulty from the design stage of the first semiconductor chip. Next, it considers as the technique which can wipe away this difficulty, and the semiconductor device of invention of this application 3rd is indicated.

[0012] That is, this 3rd invention is characterized by making said insulating member into tape material in the semiconductor device of invention of this application 1st.

[0013] Therefore, according to the semiconductor device of invention of this application 3rd, the advantage of invention of this application 1st is acquired by carrying out pattern formation on insulating-tape material by using copper foil etc. as said conductive member, and sticking this tape material on said principal plane of the first semiconductor chip. After determining the combination of the semiconductor chip by which laminating arrangement is carried out up and down, it is not necessary to take into consideration what kind of upper chip is repeated on the first semiconductor chip, and wirebonding of the semiconductor chip of various combination is made possible from the design stage of the first semiconductor chip by designing a tape for every specific combination of this with it. Moreover, the tip of wirebonding tools, such as a capillary tool and a wedge tool, can suppress possibility of contacting said insulating member and said conductive member, by having chosen an ultra-thin member called tape material at the time of wirebonding connection. In other words, the margin which should be taken in order to prevent that the tip of a wirebonding tool contacts said insulating member and said conductive member can be made small. Although said insulating member is not restricted to tape material, the large margin which chooses a not much thick member or is cut must be taken. There is an advantage that the

semiconductor device which can apply and can respond to various need by low cost can be offered without being able to make various combination of the semiconductor chip in which assembly is possible, and any design changes giving a general-purpose semiconductor chip, when it accumulates and carries two or more semiconductor chips on a patchboard by the above thing.

[0014] Moreover, this 4th invention is set to the semiconductor device of this 1st invention, this 2nd invention, or invention of this application 3rd. So that the projection to said patchboard of the bonding wire joined to the electrode of the first semiconductor chip and the projection to said patchboard of the bonding wire installed to the electrode side of the first semiconductor chip from said conductive member may deviate at intervals of predetermined or it may have the common point of 1 It is characterized by coming to arrange the join of the bonding wire installed from said conductive member to the electrode side of the first semiconductor chip, and said conductive member.

[0015] Therefore, according to the semiconductor device of invention of this application 4th, there is an advantage that they cannot carry out a polymerization and can conduct visual inspection of wirebonding connection easily when the bonding wire for connection of the first semiconductor chip used as the bottom and the bonding wire for connection of the second semiconductor chip used as the bottom see from a top. In addition, the case where two segments which are projection to said patchboard of two bonding wires do not have a common point is said, this segment of 2 of the case where it deviates at intervals of predetermined is not parallel to the case where it has the common point of 1, and it calls the case where it crosses at one point it.

[0016] Moreover, in the semiconductor device of this 1st invention, this 2nd invention, or invention of this application 3rd, the join of the bonding wire installed from said conductive member to the electrode side of the first semiconductor chip and said conductive member looks at this 5th invention towards said installation, and it is characterized by being located between the bonding wire joins of two electrodes which adjoin mutually [the first semiconductor chip].

[0017] Therefore, according to the semiconductor device of invention of this application 5th, there is an advantage that they cannot carry out a polymerization and can conduct visual inspection of wirebonding connection easily when the bonding wire for connection of the first semiconductor chip used as the bottom and the bonding wire for connection of the second semiconductor chip used as the bottom see from a top.

[0018] Moreover, this 6th invention is set from this 1st invention to the semiconductor device of invention of [1 / any] the invention of this application 5th. It connects with the wiring polar zone of one electrically among the wiring polar-zone groups in which the conductive member of one has the fixed array direction with which said patchboard was equipped among said conductive members. The location of the join of the bonding wire installed from said conductive member to the electrode side of the first semiconductor chip and said conductive member To the join of the bonding wire installed from said conductive member to a second semiconductor chip side, and said conductive member, it is said array direction and is characterized by displacing in the direction approaching said wiring polar zone of 1.

[0019] The bonding wire which connects electrically the junction means slack conductive member installed on the electrode of an upper chip or the upper chip (formation is included) and said conductive member corresponds to the bonding wire installed from said conductive member to a second semiconductor chip side. Therefore, while wiring to the wiring polar zone with which the patchboard was equipped from the upper chip is relayed by said conductive member according to the semiconductor device of invention of this application 6th Since it displaces in the direction in which that wiring path is the array direction of a wiring polar-zone group, and approaches said wiring polar zone of 1 by this conductive member Can shorten each bonding wire and wirebonding to the wiring polar zone of a patchboard is made possible. There is an advantage that the workability and the dependability of wirebonding can be raised, and there is an advantage that combination of the semiconductor chip in which assembly is possible can be further made into Oshi by this.

[0020] Moreover, this 7th invention is set to the semiconductor device of invention of this application 6th. Two conductive members containing said at least one conductive member of 1 are electrically connected to the wiring polar zone of each 1 of said wiring polar-zone groups, respectively. The mutual physical relationship of each join of the bonding wire installed from said two conductive members to a second semiconductor chip side, respectively, and said two conductive members, Mutual physical relationship of each join of the bonding wire installed from said two conductive members to the electrode side of the first semiconductor chip, respectively and said two conductive members is characterized by being reverse about said array direction.

[0021] Supposing that at least one conductive member of the above (it is a publication to this 6th invention) 1 is included As opposed to a join with the bonding wire in which the location of a join with the bonding wire installed to the electrode side of the first semiconductor chip is installed about at least one conductive member between two conductive members to a second semiconductor chip side It is said array direction and is because it becomes requirements to displace in the direction approaching said wiring polar zone of 1. When the straight-line path from the electrode of 1 of an upper chip to the wiring polar zone of 1 of a patchboard and the straight-line path from other electrodes of an upper chip to other wiring polar zone of a patchboard cross, therefore, by applying the semiconductor device of invention of this application 7th This crossover (cross bonding) can be avoided by the junction means slack aforementioned conductive member, there is an advantage of making wirebonding of an upper chip possible, and there is an advantage that combination of the semiconductor chip in which assembly is possible can be further made into Oshi by this. a "2 ** conductive member connects with the wiring polar zone of each 1 of said wiring polar-zone groups electrically, respectively -- having -- " -- I hear that it connects with the wiring polar zone of one electrically among the wiring polar-zone groups in which the conductive member of one has the fixed array direction with which the patchboard was equipped between two conductive members, and others and a conductive member are electrically connected to the wiring polar zone of one among the same wiring polar-zone groups between two conductive members, and it is. "Said array direction" means the array direction of a wiring polar-zone group. "The mutual physical relationship of each join of the bonding wire installed from said two conductive members to a second semiconductor chip side, respectively, and said two conductive members, The mutual physical relationship of each join of the bonding wire installed from said two conductive members to the electrode side of the first semiconductor chip, respectively and said two conductive members The join of the bonding wire installed from the conductive member of one between two conductive members with it being reverse about said array direction" to a second semiconductor chip side and this conductive member of 1 is made into a point S1. The join of the bonding wire installed from this conductive member of 1 to the electrode side of the first semiconductor chip and this conductive member of 1 is made into a point G1. The join of the bonding wire installed from others and a conductive member between two conductive members to a second semiconductor chip side and other conductive members is made into a point S2. When making into a point G2 the join of the bonding wire installed from other conductive members to the electrode side of the first semiconductor chip, and other conductive members, It says that the component of the array direction of the wiring polar-zone group of the vector which makes a point S1 the starting point and makes a point S2 a terminal point, and the component of the array direction of the wiring polar-zone group of the vector which makes a point G1 the starting point and makes a point G2 a terminal point are hard flow.

[0022] Moreover, this 8th invention is characterized by making said two conductive members come to cross in two levels through the second insulating member in the semiconductor device of invention of this application 7th.

[0023] Therefore, when leading about of the pattern of said conductive member becomes difficult according to an insulating problem by formation further, it also sets. Since according to the semiconductor device of invention of this application 8th a conductive member is formed and is made to cross in two levels through the second insulating member more than a bilayer There is an advantage that the degree of freedom of leading about of the junction means slack conductive member of a bonding wire increases, and there is an advantage that combination of the semiconductor chip in which assembly is possible can be further made into Oshi by this.

[0024] Moreover, this 9th invention is set to the semiconductor device of invention of this application 6th. Two or more conductive members containing said at least one conductive member of 1 are electrically connected to the wiring polar zone of each 1 of said wiring polar-zone groups, respectively. From the array pitch of each join of the bonding wire and said two or more conductive members which are installed from said two or more conductive members to a second semiconductor chip side, respectively The direction of the array pitch of each join of the bonding wire and said two or more conductive members which are installed from said two or more conductive members to the electrode side of the first semiconductor chip, respectively is characterized by having consistency in the array pitch of said wiring polar-zone group.

[0025] Supposing that at least one conductive member of the above (it is a publication to this 6th invention) 1 is included As opposed to a join with the bonding wire in which the location of a join with the bonding wire

installed to the electrode side of the first semiconductor chip is installed about at least one conductive member among two or more conductive members to a second semiconductor chip side. It is said array direction and is because it becomes requirements to displace in the direction approaching said wiring polar zone of 1. When the array pitch of the semiconductor chip by which laminating arrangement is carried out up and down does not have consistency mutually, the array pitch of the wiring polar zone of a patchboard is united with the array pitch of the electrode of the lowermost semiconductor chip, and is constituted. In that case, the array pitch of the electrode of an upper chip will not have consistency in the array pitch of the wiring polar zone with which the patchboard was equipped. However, even if it is the case where it does not have consistency in the array pitch of the wiring polar zone by which the patchboard was equipped with the array pitch of the electrode of an upper chip according to the semiconductor device of invention of this application 9th. While being relayed by said conductive member, wiring from an upper chip to the wiring polar zone. Since that wiring path is adjusted by this conductive member at the array pitch of a wiring polar-zone group. Can shorten each bonding wire and wirebonding to the wiring polar zone of a patchboard is made possible. There is an advantage that the workability and the dependability of wirebonding can be raised, and there is an advantage that combination of the semiconductor chip in which assembly is possible can be further made into Oshi by this.

[0026]

[Embodiment of the Invention] With reference to a drawing, it explains per semiconductor device of the gestalt of operation of this invention below.

[0027] the gestalt 1 of operation -- with reference to drawing 1, it explains about the semiconductor device of the gestalt 1 of operation of this invention first. Drawing 1 is the half the body sectional view (a) and half the body top view (b) showing the semiconductor device of the gestalt 1 of operation of this invention.

[0028] As shown in drawing 1, die bond of the first semiconductor chip 4 is carried out on a substrate 1, further, on the principal plane of the first semiconductor chip 4, second semiconductor chip 5b is accumulated and die bonding of the semiconductor device of the gestalt 1 of operation is carried out. At this time, second semiconductor chip 5b is joined to the field on the principal plane of the first semiconductor chip 4 except the fixed field containing the electrode pad 6 formed in the edge on the principal plane of the first semiconductor chip 4, and the fixed field containing the electrode pad 6 is exposed. Second semiconductor chip 5b also has the electrode pad 7 for wirebonding at a edge. The electrode pad 6 is electrically connected to the polar-zone slack wiring polar zone 2 of wiring formed on the substrate 1 by the bonding wire 8. The wiring polar zone 2 has flowed with the external terminal slack solder ball 3 by wiring formed on the substrate 1, and the multilayer-interconnection layer formed in the substrate 1.

[0029] As for the semiconductor device of the gestalt 1 of operation, second semiconductor chip 5b is getting away like the conventional semiconductor device 102 (refer to drawing 6 (b)) exceeding the tolerance limit of beyond the need and wirebonding from the edge of the first semiconductor chip 4. That is, the field more than the fixed field containing the electrode pad 6 required in order to make possible wirebonding of the first semiconductor chip 4 is opened, and the electrode pad 7 of second semiconductor chip 5b is arranged from the wiring polar zone 2 at the long distance exceeding the tolerance limit of wirebonding by one more bonding wire.

[0030] However, the conductive member 11 insulated with the first semiconductor chip 4 through the insulating-tape material 10 on the principal plane of the rim 30 of second semiconductor chip 5b which extends between the electrode pad 6 and the electrode pad 7, and the first semiconductor chip 4 between the electrode pads 6 is installed in the semiconductor device of the gestalt 1 of operation. That is, the insulating-tape material 10 by which the conductive member 11 was formed in the top face is stuck on the principal plane of the first semiconductor chip 4. And bonding wire 9a is connected between the electrode pad 7 and a conductive member 11, and bonding wire 9b is connected between a conductive member 11 and the wiring polar zone 2. That is, the electrode pad 7 of second semiconductor chip 5b is electrically connected to the wiring polar zone 2 on a substrate 1 by bonding wires 9a and 9b and the conductive member 11. Therefore, a bonding wire is relayed by the conductive member 11 and the semiconductor device of the gestalt 1 of operation makes possible wirebonding of second semiconductor chip 5b by two bonding wires 9a and 9b and the conductive member 11, although the electrode pad 7 of second semiconductor chip 5b is arranged from the wiring polar zone 2 at the long distance exceeding the tolerance limit of wirebonding by one bonding wire. Since the die length of a bonding wire was shortened by having divided into two bonding wires 9a and 9b according to the

semiconductor device of the gestalt 1 of operation, bending of a bonding wire is suppressed, and the bent bonding wire contacts a bonding wire 8 and the first semiconductor chip 4, and it is not said electrically that it will short-circuit.

[0031] In addition, it can carry out by forming a copper foil pattern etc. as a conductive member on a tape, using a polyimide tape etc. as insulating-tape material. Spacing and spacing from the edge of the insulating-tape material 10 to the rim of second semiconductor chip 5b are prepared as a margin for preventing that the tip of wirebonding tools, such as a capillary tool and a wedge tool, contacts the tape material 10 or the second semiconductor chip 5b end face from the edge of the electrode pad 6 to the edge of the insulating-tape material 10. In addition, in order to secure the height of the wire by which bonding was carried out to predetermined loop-formation height, the installation direction and hard flow of a bonding wire were made to once carry out reverse actuation of the wirebonding tool, and the technique which forms a wire is adopted. In this case, it is necessary to take into consideration not only the margin for the location precision error of chip mounting but the reverse actuation margin of a wirebonding tool as this margin. It is necessary to set the value of this margin to 0.15mm, and to set it to about a total of 0.55mm as a location precision error of 0.4mm and chip mounting, as a reverse actuation margin of a wirebonding tool, with a current technique. Moreover, in order to enable junction of two or more bonding wires to a conductive member 11, it is necessary to establish the field used as a bonding pad in a conductive member 11 two or more. An area of 0.1mm per one bonding pad around is needed for the area of a bonding pad with a current technique. therefore, the semiconductor device of the gestalt 1 of operation -- setting -- spacing from the edge of the electrode pad 6 to the rim of second semiconductor chip 5b -- a current technique -- $0.55+0.2+$ -- about $0.55=1.30$ mm is needed. When an about 1.30mm margin can be taken in the rim section of the both sides on the first semiconductor chip 4 which face, the junction means in this invention can be formed in the rim section of both sides. It is the case where an about 1.30mm margin cannot be taken in the rim section of the both sides on the first semiconductor chip 4 which face, and when it can take only in the rim section of one side, the junction means in this invention can be formed in the rim section of one side. When a margin can be taken beyond the need, it is good to prevent forming a conductive member 11 in 0.2mm or more at a long picture, and a bonding wire becoming long. In addition, what is necessary is just to form a conductive member 11 in at least two of four sides of the 1st semiconductor chip 4, when 2nd semiconductor chip 5b has been arranged in the center of the 1st semiconductor chip 4. Moreover, when it inclines toward one side of the 1st semiconductor chip 4 and 2nd semiconductor chip 5b has been arranged, a conductive member 11 may be formed in at least one of four sides of the 1st semiconductor chip 4, and the side of another side may adopt the same bonding as usual. Furthermore, although the example which connected the electrode pads 6 and 7 of 2nd semiconductor chip 5b with the 1st semiconductor chip 4 at the same wiring polar zone 2 is shown in drawing 1 , as shown in the A section of drawing 2 , you may connect with the separate wiring polar zone 2.

[0032] the gestalt 2 of operation -- with reference to drawing 2 , it explains below per semiconductor device of the gestalt 2 of operation of this invention. Drawing 2 is the half the body sectional view (a) and half the body top view (b) showing the semiconductor device of the gestalt 2 of operation of this invention.

[0033] Although the basic configuration of the semiconductor device of the gestalt 2 of operation is the same as the semiconductor device of the gestalt 1 of operation as shown in drawing 2 The rim 30 of second semiconductor chip 5b which extends between the electrode pad 6 and the electrode pad 7, without tape material installing, It differs in that the conductive member 12 insulated with other structures of the first semiconductor chip 4 by the principal plane of the first semiconductor chip 4 between the electrode pads 6 through the insulating layer (not shown) is formed. And bonding wire 9a is connected between the electrode pad 7 and a conductive member 12, and bonding wire 9b is connected between a conductive member 12 and the wiring polar zone 2. That is, the electrode pad 7 of second semiconductor chip 5b is electrically connected to the wiring polar zone 2 on a substrate 1 by bonding wires 9a and 9b and the conductive member 12. Therefore, a bonding wire is relayed by the conductive member 11 and the semiconductor device of the gestalt 2 of operation makes possible wirebonding of second semiconductor chip 5b by two bonding wires 9a and 9b, although the electrode pad 7 of second semiconductor chip 5b is arranged from the wiring polar zone 2 at the long distance exceeding the tolerance limit of wirebonding by one bonding wire. Since the die length of a bonding wire was shortened by having divided into two bonding wires 9a and 9b according to the semiconductor device of the gestalt 1 of operation, bending of a bonding wire is suppressed, and the bent

bonding wire contacts a bonding wire 8 and the first semiconductor chip 4, and it is not said electrically that it will short-circuit.

[0034] In addition, the formation process of the first semiconductor chip 4 can be used effectively, and it can carry out by forming a metal circuit pattern etc. as a conductive member on insulating layers, such as a silicon oxide, at the same process as the process which forms the electrode pad 6.

[0035] the gestalt 3 of operation -- with reference to drawing 3 , it explains below per semiconductor device of the gestalt 3 of operation of this invention. Drawing 3 is the half the body top view showing the semiconductor device of the gestalt 3 of operation of this invention.

[0036] Although the basic configuration of the semiconductor device of the gestalt 3 of operation is the same as the semiconductor device of the gestalt 1 of operation, as shown in drawing 3 , the configurations of the conductive member differ. that is, the appearance of the conductive member 11 in the semiconductor device of the gestalt 1 of operation makes the bonding wire installation direction a long side -- although it was a rectangle configuration mostly, in the semiconductor device of the gestalt 3 of operation, conductive member 13a of almost the character type of KO and conductive member 13b of a L character mold are formed on the insulating-tape material 10. Electrode pad 7a should be connected to wiring connection 2b, and when connecting by one bonding wire, respectively, it must make bonding wires cross in the semiconductor device electrode of the gestalt 3 of operation, since electrode pad 7b is what should be connected to wiring connection 2a (cross bonding).

[0037] However, it sets to the semiconductor device of the gestalt 3 of operation. By connecting bonding wire 9a-1 between electrode pad 7a and conductive member 13b, and connecting bonding wire 9b-2 between conductive member 13b and wiring polar-zone 2b Electrode pad 7a of second semiconductor chip 5b is electrically connected to wiring polar-zone 2b on a substrate 1 by bonding wire 9a-1, 9b-2, and conductive member 13b. By, connecting bonding wire 9a-2 on the other hand between electrode pad 7b and conductive member 13a which are installed in electrode pad 7a side by side, and connecting bonding wire 9b-1 between conductive member 13a and wiring polar-zone 2a Electrode pad 7b of second semiconductor chip 5b is electrically connected to wiring polar-zone 2b on a substrate 1 by bonding wire 9a-2, 9b-1, and conductive member 13a. Wiring polar-zone 2a and the array direction of 2b are drawing top longitudinal directions. Moreover, the direction of the join of conductive member 13b which the direction of the join of conductive member 13b seen from the join of conductive member 13a and bonding wire 9a-2 and bonding wire 9a-1 looked at from the join of conductive member 13a and bonding wire 9b-1 to being drawing top left-hand side, and bonding wire 9b-2 is drawing top right-hand side. Namely, the mutual physical relationship of each join of bonding wire 9a-1 installed from two conductive members 13a and 13b to the second semiconductor chip 5b side, respectively, 9a-2, and said two conductive members 13a and 13b, Bonding wire 9b-1 installed from said two conductive members 13a and 13b to the electrode pad 6 side of the first semiconductor chip 4, respectively, 9b-2 and said two conductive member 13a, The mutual physical relationship of each join with 13b is reverse about wiring polar-zone 2a and the array direction of 2b. In addition, in the case of the semiconductor device of the gestalt 3 of operation, as shown in drawing 3 , wiring polar-zone 2a and the array direction of 2b are in agreement in the direction parallel to the side 31 of the first semiconductor chip 4 which intersects bonding wire 9b-1 and 9b-2. Therefore, it can put in another way "it is reverse about wiring polar-zone 2a and the array direction of 2b" as "It is reverse about a direction parallel to the side 31 of the first semiconductor chip 4 which intersects bonding wire 9b-1 and 9b-2." Similarly, in the case of the semiconductor device of the gestalt 3 of operation, as shown in drawing 3 , wiring polar-zone 2a and the array direction of 2b are in agreement in the direction parallel to the side 32 of second semiconductor chip 5b which intersects bonding wire 9a-1 and 9a-2. Therefore, it can put in another way "it is reverse about wiring polar-zone 2a and the array direction of 2b" as "It is reverse about a direction parallel to the side 32 of second semiconductor chip 5b which intersects bonding wire 9a-1 and 9a-2." Moreover, in the case of the semiconductor device of the gestalt 3 of operation, as shown in drawing 3 , wiring polar-zone 2a and the array direction of 2b are in agreement in the direction parallel to the side 33 of the insulating-tape material 10 which intersects bonding wire 9b-1 and 9b-2. Therefore, it can put in another way "it is reverse about wiring polar-zone 2a and the array direction of 2b" as "It is reverse about a direction parallel to the side 33 of the insulating-tape material 10 which intersects bonding wire 9b-1 and 9b-2."

[0038] Furthermore, to the join of conductive member 13a and bonding wire 9a-2, the locations of the join of conductive member 13a and bonding wire 9b-1 are wiring polar-zone 2a and the array direction of 2b, and are

displacing in the direction approaching said wiring polar-zone 2a of 1. Similarly, to the join of conductive member 13b and bonding wire 9a-1, the locations of the join of conductive member 13b and bonding wire 9b-2 are wiring polar-zone 2a and the array direction of 2b, and are displacing in the direction approaching said wiring polar-zone 2b of 1. As mentioned above, wirebonding of the second semiconductor chip 5b is carried out, without [since the physical relationship of the wiring path of the electrode pads 7a and 7b arranged in parallel on second semiconductor chip 5b is replaced by leading about of the pattern of conductive members 13a and 13b, without bonding wire 9a-1 and 9a-2 cross, and] bonding wire 9b-1 and 9b-2 crossing. Thereby, the semiconductor device of the gestalt 3 of operation avoids cross bonding, makes wirebonding of an upper chip possible, and expands the width of face of the combination of the semiconductor chip in which assembly is possible.

[0039] the gestalt 4 of operation -- with reference to drawing 4 , it explains below per semiconductor device of the gestalt 4 of operation of this invention. Drawing 4 is the half the body top view showing the semiconductor device of the gestalt 4 of operation of this invention.

[0040] in order that the insulating-tape material 10 may insulate with the first semiconductor chip 4 in the semiconductor device of the gestalt 3 of operation -- much more -- ** -- it was carried out, and on it, the conductive member was boiled further and formed. However, in replacing many above wiring paths, it becomes difficult to secure the insulation of conductive members further in a top. So, in the semiconductor device of the gestalt 4 of operation, as shown in drawing 4 , the insulating-tape material 20 was made two-layer. And in order to insulate with the first semiconductor chip 4, conductive members 14a, 14b, and 14c were further formed on the tape of an eye, the tape of a two-layer eye was stuck on this, and conductive members 15a, 15b, and 15c were further formed on the tape of this two-layer eye. Conductive member 15a is made to intersect the conductive members 14a, 14b, and 14c located in a lower layer through the tape of a two-layer eye in two levels, as shown in drawing 4 . For example, conductive member 14c is made to intersect the conductive members 15a, 15b, and 15c located in the upper layer through the tape of a two-layer eye in two levels. In addition, the bonding pad part of conductive members 14a, 14b, and 14c is exposed by carrying out opening of the tape of a two-layer eye.

[0041] Since a conductive member is made to cross in two levels as mentioned above according to the semiconductor device of the gestalt 4 of operation, the degree of freedom of leading about of the junction means slack conductive member of a bonding wire increases, and the width of face of the combination of the semiconductor chip in which assembly is possible spreads. In addition, a conductive member may be formed in three or more layers if needed by making the insulating-tape material 20 into three or more layers.

[0042] the gestalt 5 of operation -- with reference to drawing 5 , it explains below per semiconductor device of the gestalt 5 of operation of this invention. Drawing 5 is the half the body top view showing the semiconductor device of the gestalt 5 of operation of this invention.

[0043] Although the basic configuration of the semiconductor device of the gestalt 5 of operation is the same as the semiconductor device of the gestalt 1 of operation, as shown in drawing 5 , the configurations of the conductive member differ. that is, the appearance of the conductive member 11 in the semiconductor device of the gestalt 1 of operation makes the bonding wire installation direction a long side -- although it was a rectangle configuration mostly, in the semiconductor device of the gestalt 5 of operation, conductive member 16a, such as a L character mold, is formed on the insulating-tape material 10.

[0044] Although it is, since [whose electrode pad 7 of second semiconductor chip 5b differs from the array pitch of the electrode pad 6 of the first semiconductor chip 4] it is constituted according to the array pitch of the electrode pad 6 of the first lowermost semiconductor chip 4 of semiconductor chip slack, the array pitch of the wiring polar zone 2 on a substrate 1 will not adjust it in the array pitch of the wiring polar zone 2. However, the semiconductor device of the gestalt 5 of operation is displaced in the direction in which the location of the join of conductive member 16a and bonding wire 9b approaches the wiring polar zone 2 which is the array direction of the wiring polar zone 2, and should be connected to the join of conductive member 16a and bonding wire 9a, and the array pitch of the join of a conductive member 16 and bonding wire 9b adjusts it in the array pitch of the wiring polar zone 2. Moreover, pattern width of face may be made large like conductive member 16b. Thus, it becomes possible to use the same conductive member for a drawing longitudinal direction by forming a large pattern (conductive members 16a and 16b) to various semiconductor chips with which the locations of the electrode pads 7 and 6 differ. With it, even if the alignment precision at the time of bonding is not so high,

bonding can be carried out. A manufacturing cost can be reduced as these results. Therefore, according to the semiconductor device of the gestalt 5 of operation, while wiring from the second semiconductor chip 5b to the wiring polar zone 2 is relayed by the conductive member 16, since that wiring path is adjusted by the array pitch of the wiring polar zone 2, by this conductive member 16, it can shorten each bonding wire, can make possible wirebonding to the wiring polar zone 2 on a substrate 1, and can raise the workability and the dependability of wirebonding. Therefore, combination of the semiconductor chip in which assembly is possible can be further made into Oshi.

[0045] The segment which projected the bonding wire 8 joined to the electrode pad 6 of the first semiconductor chip 4 to the substrate 1 in the gestalten 1-5 of the above operation, With the segment which projected bonding wire 9b which is joined to conductive members 11, 12, 13, 14, and 15 or 16, and is installed from this conductive member to the electrode pad 6 side of the first semiconductor chip 4 to the substrate 1 It had deviated at intervals of predetermined, and conductive members 11, 12, 13, 14, and 15 or 16 has been arranged, and the join of a bonding wire was set up so that it might become so. Therefore, since bonding wires do not carry out a polymerization when it sees from a top, visual inspection of wirebonding connection can be conducted easily. That is, a lower wire disappears with the upper wire, the fault of it becoming impossible to check that bonding of the lower wire is not carried out is lost, and visual inspection of wirebonding connection can be conducted easily. If another evaluation is performed, moreover, bonding wire 9b installed to the conductive member 11, 12, 13, 14, and 15 or electrode pad 6 side of the 16 to first semiconductor chip 4, conductive members 11, 12, 13, 14, and 15, or the join of 16 See in the installation direction of bonding wire 9b, and it is located between the bonding wire joins of two electrode pads 6 with which the first semiconductor chip 4 adjoins mutually. Conductive members 11, 12, 13, 14, and 15 or 16 has been arranged, and the join of a bonding wire was set up so that it might become so. Therefore, since bonding wires do not carry out a polymerization when it sees from a top, visual inspection of wirebonding connection can be conducted easily.

[0046] Moreover, in the gestalten 1-5 of the above operation, although explained taking the case of the semiconductor device of the BGA mold with which laminating loading of the two semiconductor chips is carried out, this invention is not restricted to this. That is, laminating loading of the three or more semiconductor chips may be carried out. In that case, the junction means slack aforementioned conductive member of a bonding wire may be installed on two or more principal planes of a semiconductor chip. Moreover, an external connection type is good also as other area array mold semiconductor devices of the packages (LGA etc.) to which not only BGA but the ball 3 is not attached, and a semiconductor device which equips perimeters, such as QFP, with an external lead. Moreover, a patchboard is not restricted to a printed-circuit board, but a leadframe etc. may be used for it. Moreover, bare chip loading may be carried out at a mounting substrate (patchboard), and wirebonding may be carried out to a direct mounting substrate.

[0047]

[Effect of the Invention] This invention by having adopted the junction means slack aforementioned conductive member of a bonding wire as mentioned above The bonding wire which connects the electrode of an upper chip and the wiring electrode of a patchboard electrically is divided. Each bonding wire can be made shorter than the case where bonding is carried out by one bonding wire. It is effective in the ability of the bent bonding wire to suppress bending of a bonding wire and suppress generating of the problem of contacting other bonding wires and semiconductor chips and short-circuiting electrically. It can incorporate into a semiconductor device, without carrying out the design change of the chip size for an upper chip slack semiconductor chip to which a chip electrode becomes a long distance from the wiring polar zone of a patchboard by physical constraint by this, combination of the semiconductor chip in which assembly is possible when it accumulates and carries two or more semiconductor chips on a patchboard can be made various, and it is effective in the ability to respond to various need by low cost with the application of a general-purpose semiconductor chip.

[0048] Moreover, the thing for which the configuration which sticks the tape more than one layer in which said conductive member was arranged, or two-layer on the principal plane of a semiconductor chip was used for this invention, The polymerization and cross bonding of a bonding wire were avoided with arrangement or the pattern of said conductive member, Furthermore, by having made it improve by mediating the adjustment of the array pitch of the electrode pad of the semiconductor chip by which laminating arrangement is carried out up and down by the conductive member Wirebonding of an upper chip was made possible, it was able to contribute to improvement in the dependability of wirebonding in MCM and MCP, the width of face of the combination of

the semiconductor chip in which assembly is possible was able to be expanded further, and the variation of MCM and MCP was able to be made rich.

[Translation done.]

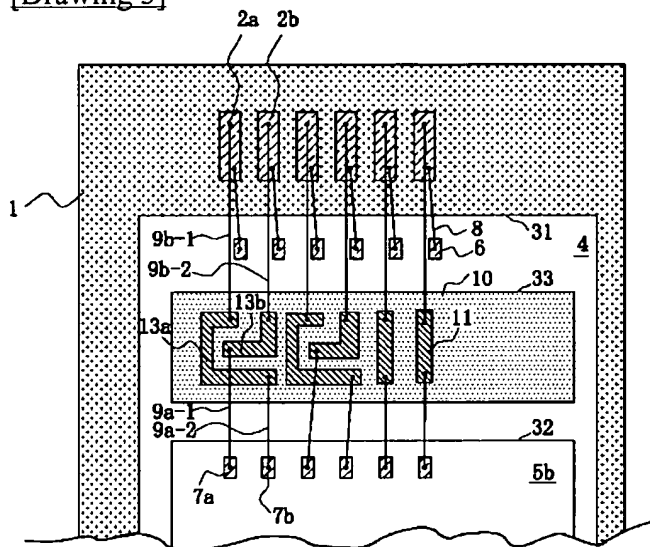
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

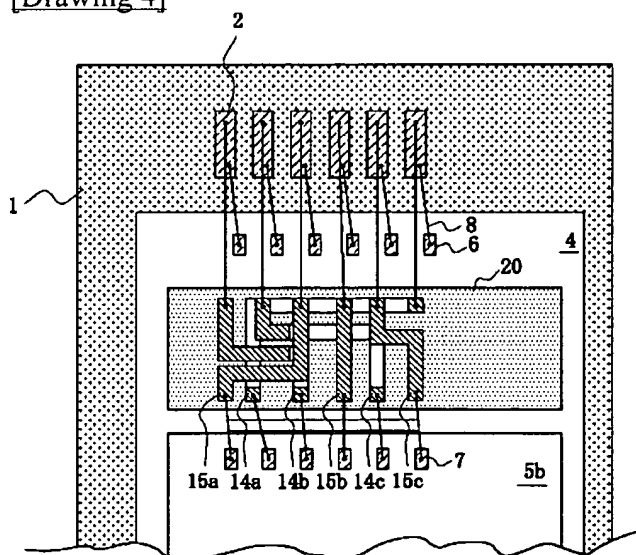
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

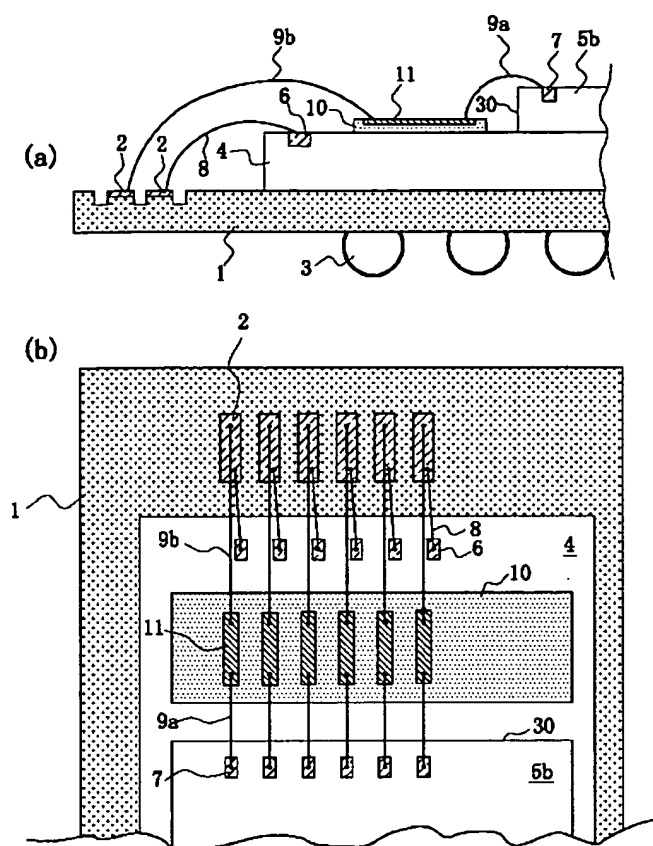
[Drawing 3]



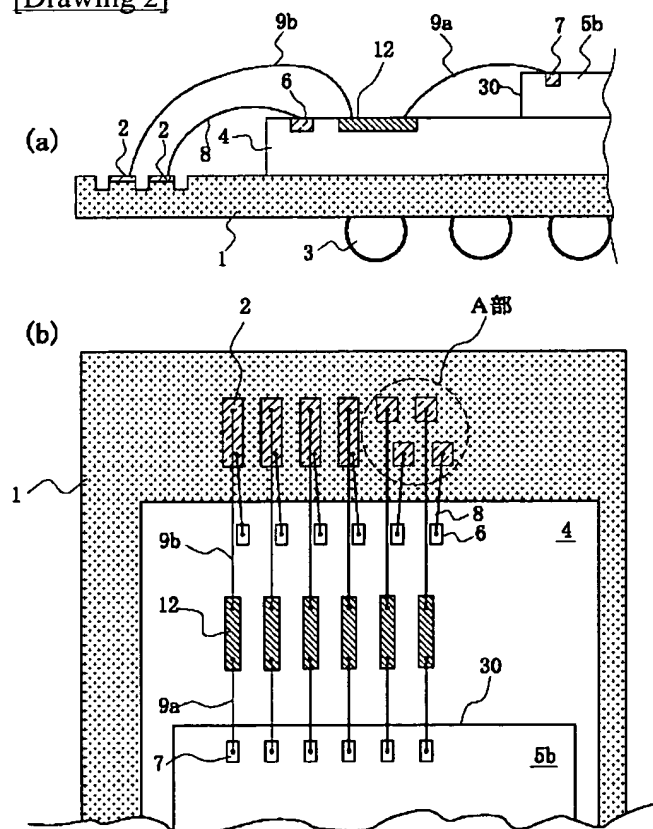
[Drawing 4]



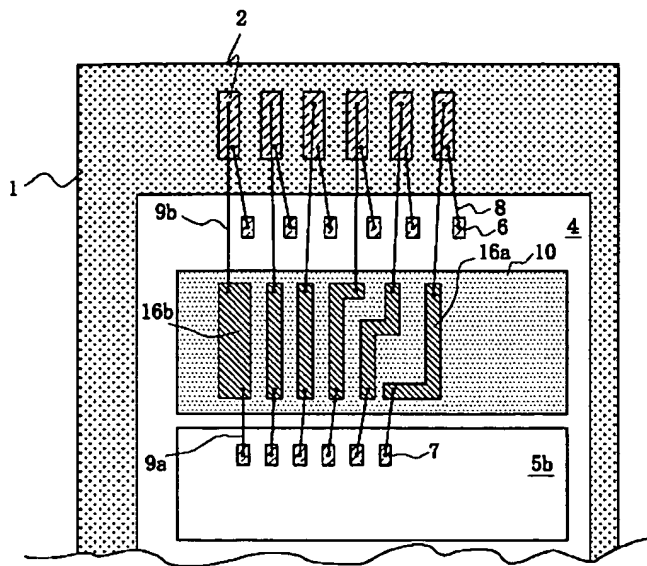
[Drawing 1]



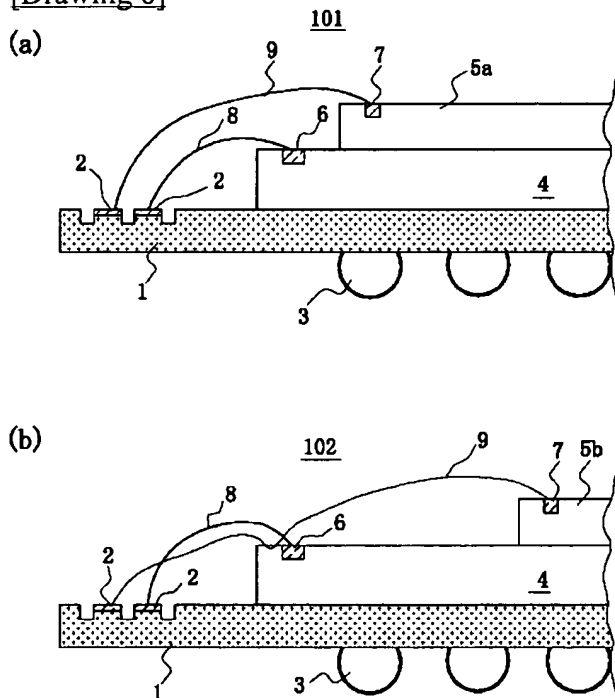
[Drawing 2]



[Drawing 5]



[Drawing 6]



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.